

Please type a plus sign (+) inside this box
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

→ [+]

Approved for use through 10/31/2002. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

PTO/SB/05 (11-00)

UTILITY PATENT APPLICATION TRANSMITTAL <i>(Only for new nonprovisional applications under 37 CFR 1.53(b))</i>		Attorney Docket No.	740756-2322
		First Inventor	Shunpei YAMAZAKI et al.
		Title	DISPLAY PANEL, DISPLAY PANEL INSPECTION METHOD, AND DISPLAY PANEL MANUFACTURING METHOD
		Express Mail Label No.	

APPLICATION ELEMENTS See MPEP chapter 600 concerning utility patent application contents.	ADDRESS TO: Assistant Commissioner for Patents Box Patent Application Washington, DC 20231
1. <input checked="" type="checkbox"/> Fee Transmittal Form (e.g., PTO/SB/17) <i>(Submit an original and a duplicate for fee processing)</i>	7. <input type="checkbox"/> CD-ROM or CD-R in duplicate, large table or Computer Program (Appendix)
2. <input type="checkbox"/> Applicant claims small entity status. See 37 CFR 1.27.	8. Nucleotide and/or Amino Acid Sequence Submission <i>(if applicable, all necessary)</i> a. <input type="checkbox"/> Computer Readable Form (CRF) b. Specification Sequence Listing on: i. <input type="checkbox"/> CD-ROM or CD-R (2 copies; or ii. <input type="checkbox"/> paper c. <input type="checkbox"/> Statements verifying identity of above copies
3. <input checked="" type="checkbox"/> Specification [Total Pages 66] <i>(preferred arrangement set forth below)</i> <ul style="list-style-type: none">- Descriptive title of the invention- Cross Reference to Related Applications- Statement Regarding Fed sponsored R & D- Reference to sequence listing, a table, or a computer program listing appendix- Background of the Invention- Brief Summary of the Invention- Brief Description of the Drawings <i>(if filed)</i>- Detailed Description- Claim(s)- Abstract of the Disclosure	ACCOMPANYING APPLICATION PARTS 9. <input checked="" type="checkbox"/> Assignment Papers (cover sheet & document(s)) 10. <input type="checkbox"/> 37 CFR 3.73(b) Statement <input type="checkbox"/> Power of Attorney <i>(when there is an assignee)</i> 11. <input type="checkbox"/> English Translation Document <i>(if applicable)</i> 12. <input type="checkbox"/> Information Disclosure Statement (IDS)/PTO-1449 <input type="checkbox"/> Copies of IDS Citations 13. <input type="checkbox"/> Preliminary Amendment 14. <input checked="" type="checkbox"/> Return Receipt Postcard (MPEP 503) <i>(Should be specifically itemized)</i> 15. <input checked="" type="checkbox"/> Certified Copy of Japanese Priority Document Nos. 2000-168203 and 2000-168214 Filed: June 5, 2000, respectively Priority Claimed Yes [X] No [] <i>(if foreign priority is claimed)</i> 16. <input type="checkbox"/> Request and Certification under 35 U.S.C. 122 (b)(2)(B)(i). Applicant must attach form PTO/SB/35 or its equivalent. 17. <input type="checkbox"/> Other: _____
4. <input checked="" type="checkbox"/> Drawing(s) (35 U.S.C. 113) [Total Sheets 21]	
5. Oath or Declaration [Total Sheets 5] a. <input checked="" type="checkbox"/> Newly executed (original or copy) b. <input type="checkbox"/> Copy from a prior application (37 CFR 1.63(d)) <i>(for continuation/divisional with Box 17 completed)</i> i. <input type="checkbox"/> DELETION OF INVENTOR(S) Signed statement attached deleting inventor(s) named in the prior application, see 37 CFR 1.63(d)(2) and 1.33(b)	
6. <input checked="" type="checkbox"/> Application Data Sheet. See 37 CFR 1.76	

18. If a CONTINUING APPLICATION, check appropriate box, and supply the requisite information below and in a preliminary amendment, or in an Application Data Sheet under 37 CFR 1.76:

☐ Continuation ☐ Divisional ☐ Continuation-in-part (CIP)

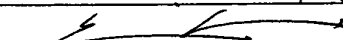
of prior Application Serial No.: _____ / _____

Prior application information:

Examiner: _____

Group / Art Unit: _____

For CONTINUATION OR DIVISIONAL APPS only: The entire disclosure of the prior application, from which an oath or declaration is supplied under Box 5b, is considered a part of the disclosure of the accompanying continuation or divisional application and is hereby incorporated by reference. The incorporation can only be relied upon when a portion has been inadvertently omitted from the submitted application parts.

19. CORRESPONDENCE ADDRESS					
<input type="checkbox"/> Customer Number or Bar Code Label		22204 <i>(Insert Customer No. or Attach bar code label here)</i>		or <input type="checkbox"/> Correspondence address below	
Name	Eric J. Robinson				
Address	NIXON PEABODY LLP				
	8180 Greensboro Drive, Suite 800				
City	McLean	State	VA	Zip Code	22102
Country	United States	Telephone	(703) 790-9110	Fax	(703) 883-0370
Name (Print/Type)	Eric J. Robinson		Registration No. (Attorney/Agent)		38,285
Signature				Date	June 5, 2001

Burden Hour Statement: this form is estimated to take 0.2 hours to complete. Time will vary depending upon the needs of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Assistant Commissioner for Patents, Box Patent Application, Washington, DC 20231.

RECEIVED

JUN 14 2004

Technology Center 2600

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

11033 U.S. PTO
09/873447
06/05/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 6月 5日

出 願 番 号

Application Number:

特願2000-168214

出 願 人

Applicant(s):

株式会社半導体エネルギー研究所

RECEIVED

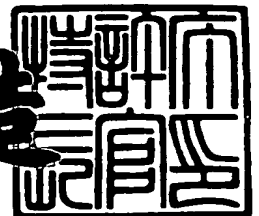
JUN 14 2004

Technology Center 2600

2001年 4月13日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3031153

【書類名】 特許願

【整理番号】 P004961

【提出日】 平成12年 6月 5日

【あて先】 特許庁長官 殿

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 山崎 舜平

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 小山 潤

【発明者】

【住所又は居所】 神奈川県厚木市長谷 3 9 8 番地 株式会社半導体エネルギー研究所内

【氏名】 荒井 康行

【特許出願人】

【識別番号】 000153878

【氏名又は名称】 株式会社半導体エネルギー研究所

【代表者】 山崎 舜平

【手数料の表示】

【予納台帳番号】 002543

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】明細書

【発明の名称】表示パネルおよび該表示パネルの検査方法

【特許請求の範囲】

【請求項 1】

少なくとも 1 つの T F T、複数の配線および画素電極をそれぞれ含む複数の画素からなる画素部と、測定用配線とを有する表示パネルであって、

前記複数の画素にそれぞれ含まれている画素電極は、前記画素電極上に形成される検査用導電膜と前記測定用配線とを用いて、電氣的動作を検査されており、

前記検査用導電膜は前記電氣的動作を検査された後に除去されていることを特徴とする表示パネル。

【請求項 2】

請求項 1 において、前記検査用導電膜が除去された後、前記画素電極上に E L 層と対向電極とが順に積層していることを特徴とする表示パネル。

【請求項 3】

少なくとも 1 つの T F T、複数の配線および画素電極をそれぞれ含む複数の画素と、測定用配線とを有する表示パネルであって、

前記複数の画素にそれぞれ含まれている全ての画素電極と前記測定用配線とを検査用導電膜で接続し、前記複数の画素の各画素に含まれる前記複数の配線に所定の電位を与え、前記測定用配線を流れる電流の値によって前記複数の画素に不良画素が存在するかどうかを判断していること特徴とする表示パネル。

【請求項 4】

少なくとも 1 つの T F T、複数の配線および画素電極をそれぞれ含む複数の画素と、測定用配線とを有する表示パネルであって、

前記複数の画素にそれぞれ含まれている全ての画素電極と前記測定用配線とを検査用導電膜で接続し、前記複数の画素の各画素に含まれる前記複数の配線に所定の電位を与え、前記測定用配線を流れる電流の値を測定し、測定した電流の値が所定の範囲外である画素を不良画素と判断していることを特徴とする表示パネル。

【請求項 5】

請求項 3 または請求項 4 において、前記画素電極上に E L 層と対向電極とが順に積層していることを特徴とする表示パネル。

【請求項 6】

請求項 1 乃至請求項 5 のいずれか 1 項において、前記検査用導電膜は液体状であることを特徴とする表示パネル。

【請求項 7】

請求項 1 乃至請求項 6 のいずれか 1 項において、カバー材によって封止することで形成されることを特徴とする表示パネル。

【請求項 8】

請求項 1 乃至請求項 7 のいずれか 1 項において、前記表示パネルとソース信号線駆動回路とゲート信号線駆動回路とを有することを特徴とする駆動回路付表示パネル。

【請求項 9】

請求項 1 乃至請求項 7 のいずれか 1 項において、前記表示パネルとソース信号線駆動回路とゲート信号線駆動回路とコントローラーとを有することを特徴とするコントローラー及び駆動回路付表示パネル。

【請求項 10】

請求項 1 乃至請求項 7 のいずれか 1 項において、前記表示パネルとソース信号線駆動回路とゲート信号線駆動回路とコントローラーとマイコンとを有することを特徴とするマイコン及びコントローラー及び駆動回路付表示パネル。

【請求項 11】

少なくとも 1 つの T F T、複数の配線および画素電極をそれぞれ含む複数の画素からなる画素部と、測定用配線とを含む表示パネルを有する E L ディスプレイであって、

前記複数の画素にそれぞれ含まれている画素電極は、前記画素電極上に形成される検査用導電膜と前記測定用配線とを用いて、電氣的動作を検査されており、

前記検査用導電膜は前記電氣的動作を検査された後に除去されていることを特徴とする E L ディスプレイ。

【請求項 12】

少なくとも1つのTFT、複数の配線および画素電極をそれぞれ含む複数の画素からなる画素部と、測定用配線とを含む表示パネルを有するビデオカメラであって、

前記複数の画素にそれぞれ含まれている画素電極は、前記画素電極上に形成される検査用導電膜と前記測定用配線とを用いて、電氣的動作を検査されており、

前記検査用導電膜は前記電氣的動作を検査された後に除去されていることを特徴とするビデオカメラ。

【請求項13】

少なくとも1つのTFT、複数の配線および画素電極をそれぞれ含む複数の画素からなる画素部と、測定用配線とを含む表示パネルを有するデジタルカメラであって、

前記複数の画素にそれぞれ含まれている画素電極は、前記画素電極上に形成される検査用導電膜と前記測定用配線とを用いて、電氣的動作を検査されており、

前記検査用導電膜は前記電氣的動作を検査された後に除去されていることを特徴とするデジタルカメラ。

【請求項14】

少なくとも1つのTFT、複数の配線および画素電極をそれぞれ含む複数の画素からなる画素部と、測定用配線とを含む表示パネルを有するゴーグル型表示装置であって、

前記複数の画素にそれぞれ含まれている画素電極は、前記画素電極上に形成される検査用導電膜と前記測定用配線とを用いて、電氣的動作を検査されており、

前記検査用導電膜は前記電氣的動作を検査された後に除去されていることを特徴とするゴーグル型表示装置。

【請求項15】

少なくとも1つのTFT、複数の配線および画素電極をそれぞれ含む複数の画素からなる画素部と、測定用配線とを含む表示パネルを有するナビゲーションシステムであって、

前記複数の画素にそれぞれ含まれている画素電極は、前記画素電極上に形成される検査用導電膜と前記測定用配線とを用いて、電氣的動作を検査されており、

前記検査用導電膜は前記電氣的動作を検査された後に除去されていることを特徴とするナビゲーションシステム。

【請求項 1 6】

少なくとも 1 つの T F T、複数の配線および画素電極をそれぞれ含む複数の画素からなる画素部と、測定用配線とを含む表示パネルを有する音響再生装置であって、

前記複数の画素にそれぞれ含まれている画素電極は、前記画素電極上に形成される検査用導電膜と前記測定用配線とを用いて、電氣的動作を検査されており、

前記検査用導電膜は前記電氣的動作を検査された後に除去されていることを特徴とする音響再生装置。

【請求項 1 7】

少なくとも 1 つの T F T、複数の配線および画素電極をそれぞれ含む複数の画素からなる画素部と、測定用配線とを含む表示パネルを有するノート型パーソナルコンピュータであって、

前記複数の画素にそれぞれ含まれている画素電極は、前記画素電極上に形成される検査用導電膜と前記測定用配線とを用いて、電氣的動作を検査されており、

前記検査用導電膜は前記電氣的動作を検査された後に除去されていることを特徴とするノート型パーソナルコンピュータ。

【請求項 1 8】

少なくとも 1 つの T F T、複数の配線および画素電極をそれぞれ含む複数の画素からなる画素部と、測定用配線とを含む表示パネルを有する携帯情報端末であって、

前記複数の画素にそれぞれ含まれている画素電極は、前記画素電極上に形成される検査用導電膜と前記測定用配線とを用いて、電氣的動作を検査されており、

前記検査用導電膜は前記電氣的動作を検査された後に除去されていることを特徴とする携帯情報端末。

【請求項 1 9】

少なくとも 1 つの T F T、複数の配線および画素電極をそれぞれ含む複数の画素からなる画素部と、測定用配線とを含む表示パネルを有する D V D 装置であっ

て、

前記複数の画素にそれぞれ含まれている画素電極は、前記画素電極上に形成される検査用導電膜と前記測定用配線とを用いて、電氣的動作を検査されており、

前記検査用導電膜は前記電氣的動作を検査された後に除去されていることを特徴とする D V D 装置。

【請求項 2 0】

少なくとも 1 つの T F T、複数の配線および画素電極をそれぞれ含む複数の画素と、測定用配線とを含む表示パネルを有する E L ディスプレイであって、

前記複数の画素にそれぞれ含まれている全ての画素電極と前記測定用配線とを検査用導電膜で接続し、前記複数の画素の各画素に含まれる前記複数の配線に所定の電位を与え、前記測定用配線を流れる電流の値によって前記複数の画素に不良画素が存在するかどうかを判断していること特徴とする E L ディスプレイ。

【請求項 2 1】

少なくとも 1 つの T F T、複数の配線および画素電極をそれぞれ含む複数の画素と、測定用配線とを含む表示パネルを有するビデオカメラであって、

前記複数の画素にそれぞれ含まれている全ての画素電極と前記測定用配線とを検査用導電膜で接続し、前記複数の画素の各画素に含まれる前記複数の配線に所定の電位を与え、前記測定用配線を流れる電流の値によって前記複数の画素に不良画素が存在するかどうかを判断していること特徴とするビデオカメラ。

【請求項 2 2】

少なくとも 1 つの T F T、複数の配線および画素電極をそれぞれ含む複数の画素と、測定用配線とを含む表示パネルを有するデジタルカメラであって、

前記複数の画素にそれぞれ含まれている全ての画素電極と前記測定用配線とを検査用導電膜で接続し、前記複数の画素の各画素に含まれる前記複数の配線に所定の電位を与え、前記測定用配線を流れる電流の値によって前記複数の画素に不良画素が存在するかどうかを判断していること特徴とするデジタルカメラ。

【請求項 2 3】

少なくとも 1 つの T F T、複数の配線および画素電極をそれぞれ含む複数の画素と、測定用配線とを含む表示パネルを有するゴーグル型表示装置であって、

前記複数の画素にそれぞれ含まれている全ての画素電極と前記測定用配線とを
検査用導電膜で接続し、前記複数の画素の各画素に含まれる前記複数の配線に所
定の電位を与え、前記測定用配線を流れる電流の値によって前記複数の画素に不
良画素が存在するかどうかを判断していること特徴とするゴーグル型表示装置。

【請求項 2 4】

少なくとも 1 つの T F T、複数の配線および画素電極をそれぞれ含む複数の画
素と、測定用配線とを含む表示パネルを有するナビゲーションシステムであって

前記複数の画素にそれぞれ含まれている全ての画素電極と前記測定用配線とを
検査用導電膜で接続し、前記複数の画素の各画素に含まれる前記複数の配線に所
定の電位を与え、前記測定用配線を流れる電流の値によって前記複数の画素に不
良画素が存在するかどうかを判断していること特徴とするナビゲーションシステ
ム。

【請求項 2 5】

少なくとも 1 つの T F T、複数の配線および画素電極をそれぞれ含む複数の画
素と、測定用配線とを含む表示パネルを有する音響再生装置であって、

前記複数の画素にそれぞれ含まれている全ての画素電極と前記測定用配線とを
検査用導電膜で接続し、前記複数の画素の各画素に含まれる前記複数の配線に所
定の電位を与え、前記測定用配線を流れる電流の値によって前記複数の画素に不
良画素が存在するかどうかを判断していること特徴とする音響再生装置。

【請求項 2 6】

少なくとも 1 つの T F T、複数の配線および画素電極をそれぞれ含む複数の画
素と、測定用配線とを含む表示パネルを有するノート型パーソナルコンピュータ
であって、

前記複数の画素にそれぞれ含まれている全ての画素電極と前記測定用配線とを
検査用導電膜で接続し、前記複数の画素の各画素に含まれる前記複数の配線に所
定の電位を与え、前記測定用配線を流れる電流の値によって前記複数の画素に不
良画素が存在するかどうかを判断していること特徴とするノート型パーソナルコ
ンピュータ。

【請求項 2 7】

少なくとも 1 つの T F T、複数の配線および画素電極をそれぞれ含む複数の画素と、測定用配線とを含む表示パネルを有する携帯情報端末であって、

前記複数の画素にそれぞれ含まれている全ての画素電極と前記測定用配線とを検査用導電膜で接続し、前記複数の画素の各画素に含まれる前記複数の配線に所定の電位を与え、前記測定用配線を流れる電流の値によって前記複数の画素に不良画素が存在するかどうかを判断していること特徴とする携帯情報端末。

【請求項 2 8】

少なくとも 1 つの T F T、複数の配線および画素電極をそれぞれ含む複数の画素と、測定用配線とを含む表示パネルを有する D V D 装置であって、

前記複数の画素にそれぞれ含まれている全ての画素電極と前記測定用配線とを検査用導電膜で接続し、前記複数の画素の各画素に含まれる前記複数の配線に所定の電位を与え、前記測定用配線を流れる電流の値によって前記複数の画素に不良画素が存在するかどうかを判断していること特徴とする D V D 装置。

【請求項 2 9】

少なくとも 1 つの T F T と複数の配線と画素電極とをそれぞれ含む複数の画素を有する表示パネルの検査方法であって、

前記複数の画素に含まれる前記画素電極を全て検査用導電膜で電氣的に接続する工程と、

前記複数の画素の各画素に含まれる前記複数の配線に所定の電位を与え、前記検査用導電膜を流れる電流の値を測定し、前記検査用導電膜を流れる電流の値が所定の範囲外である画素を不良画素と判断する工程と、

前記検査用導電膜を除去する工程と、
を有することを特徴とする表示パネルの検査方法。

【請求項 3 0】

スイッチング用 T F T と、E L 駆動用 T F T と、ソース信号線と、ゲート信号線と、電源供給線と、画素電極とをそれぞれ含む複数の画素を有する表示パネルの検査方法であって、

前記複数の画素に含まれる前記画素電極を全て検査用導電膜で電氣的に接続す

る工程と、

前記複数の画素の各画素に含まれる前記ソース信号線と前記ゲート信号線と前記電源供給線とに所定の電位を与え、前記検査用導電膜を流れる電流の値を測定し、前記検査用導電膜を流れる電流の値が所定の範囲外である画素を不良画素と判断する工程と、

前記検査用導電膜を除去する工程と、

を有することを特徴とする表示パネルの検査方法。

【請求項 3 1】

スイッチング用 T F T と、 E L 駆動用 T F T と、ソース信号線と、ゲート信号線と、電源供給線と、前記 E L 駆動用 T F T のドレイン領域に接続されている画素電極とをそれぞれ含む複数の画素を有する表示パネルの検査方法であって、

前記複数の画素に含まれる前記画素電極を全て検査用導電膜で電氣的に接続する工程と、

前記複数の画素の各画素に含まれる前記ソース信号線と前記ゲート信号線と前記電源供給線とに所定の電位を与え、前記検査用導電膜を流れる電流の値を測定し、前記検査用導電膜を流れる電流の値が所定の範囲外である画素を不良画素と判断する工程と、

前記検査用導電膜を除去する工程と、

を有することを特徴とする表示パネルの検査方法。

【請求項 3 2】

第 1 のスイッチング用 T F T と、第 2 のスイッチング用 T F T と、 E L 駆動用 T F T と、ソース信号線と、第 1 のゲート信号線と、第 2 のゲート信号線と、電源供給線と、画素電極とをそれぞれ含む複数の画素を有する表示パネルの検査方法であって、

前記複数の画素に含まれる前記画素電極を全て検査用導電膜で電氣的に接続する工程と、

前記複数の画素の各画素に含まれる前記ソース信号線と前記第 1 のゲート信号線と前記電源供給線とに所定の電位を与え、前記検査用導電膜を流れる電流の値を測定し、前記検査用導電膜を流れる電流の値が所定の範囲外である画素を不良

画素と判断する工程と、

前記複数の画素の各画素に含まれる前記ソース信号線と前記第 1 のゲート信号線と前記電源供給線とに所定の電位を与えてから、前記第 2 のゲート信号線と前記電源供給線とに所定の電位を与え、前記検査用導電膜を流れる電流の値を測定し、前記検査用導電膜を流れる電流の値が所定の範囲外である画素を不良画素と判断する工程と、

前記検査用導電膜を除去する工程と、
を有することを特徴とする表示パネルの検査方法。

【請求項 3 3】

第 1 のスイッチング用 T F T と、第 2 のスイッチング用 T F T と、E L 駆動用 T F T と、ソース信号線と、第 1 のゲート信号線と、第 2 のゲート信号線と、電源供給線と、前記 E L 駆動用 T F T のドレイン領域に接続されている画素電極とをそれぞれ含む複数の画素を有する表示パネルの検査方法であって、

前記複数の画素に含まれる前記画素電極を全て検査用導電膜で電氣的に接続する工程と、

前記複数の画素の各画素に含まれる前記ソース信号線と前記第 1 のゲート信号線と前記電源供給線とに所定の電位を与え、前記検査用導電膜を流れる電流の値を測定し、前記検査用導電膜を流れる電流の値が所定の範囲外である画素を不良画素と判断する工程と、

前記複数の画素の各画素に含まれる前記ソース信号線と前記第 1 のゲート信号線と前記電源供給線とに所定の電位を与えてから、前記第 2 のゲート信号線と前記電源供給線とに所定の電位を与え、前記検査用導電膜を流れる電流の値を測定し、前記検査用導電膜を流れる電流の値が所定の範囲外である画素を不良画素と判断する工程と、

前記検査用導電膜を除去する工程と、
を有することを特徴とする表示パネルの検査方法。

【請求項 3 4】

請求項 2 9 乃至請求項 3 3 のいずれか 1 項において、前記検査用導電膜が除去された後に、前記画素電極上に E L 層と対向電極とを順に積層するように形成す

ることを特徴とする表示パネルの検査方法。

【請求項 3 5】

請求項 2 9 乃至請求項 3 4 のいずれか 1 項において、前記検査用導電膜を流れる電流の値は、前記検査用導電膜に接続された測定用配線を流れる電流の値を測定することで求められることを特徴とする表示パネルの検査方法。

【請求項 3 6】

請求項 2 9 乃至請求項 3 5 のいずれか 1 項において、前記複数の画素のうち、 n 個以上の画素が不良画素と判断された場合、前記表示パネルが不良品と判断されることを特徴とする表示パネルの検査方法。

【請求項 3 7】

請求項 2 9 乃至請求項 3 6 のいずれか 1 項において、前記画素電極が形成された後、前記画素電極上に E L 層と対向電極とを順に積層するように形成し、前記表示パネルが良品と判断された場合のみ、カバー材によって前記表示パネルを封止することを特徴とする表示パネルの検査方法。

【請求項 3 8】

請求項 2 9 乃至請求項 3 7 のいずれか 1 項において、前記検査用導電膜は液体状であることを特徴とする表示パネルの検査方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は E L（エレクトロルミネッセンス）素子を基板上に作り込んで形成された電子ディスプレイにおいて、E L 素子を形成する前に画素部が正常に動作するかどうかを検査する方法に関する。特に半導体素子（半導体薄膜を用いた素子）を用いた E L ディスプレイにおいて、E L 素子を形成する前に画素部が正常に動作するかどうかを検査する方法（検査方法）に関する。

【0 0 0 2】

【従来の技術】

近年、基板上に T F T を形成する技術が大幅に進歩し、アクティブマトリクス型の電子ディスプレイへの応用開発が進められている。特に、ポリシリコン膜を

用いたTFTは、従来のアモルファスシリコン膜を用いたTFTよりも電界効果移動度（モビリティともいう）が高いので、高速動作が可能である。そのため、従来基板の外に設けられた駆動回路で行っていた画素の制御を、画素と同一の基板上に形成した駆動回路で行うことが可能となっている。

【 0 0 0 3 】

このようなアクティブマトリクス型の電子ディスプレイは、同一基板上に様々な回路や素子を作り込むことで製造コストの低減、電子ディスプレイの小型化、歩留まりの上昇、スループットの低減など、様々な利点が得られる。

【 0 0 0 4 】

そして特に電子ディスプレイの中でも、自発光型素子としてEL素子を有したアクティブマトリクス型のELディスプレイの研究が活発化している。ELディスプレイは有機ELディスプレイ（OLED：Organic EL Display）又は有機ライトエミッティングダイオード（OLED：Organic Light Emitting Diode）とも呼ばれている。

【 0 0 0 5 】

ELディスプレイは、液晶ディスプレイと異なり自発光型である。EL素子是一对の電極（陽極と陰極）間にEL層が挟まれた構造となっているが、EL層は通常、積層構造となっている。代表的には、コダック・イーストマン・カンパニーのTangらが提案した「正孔輸送層／発光層／電子輸送層」という積層構造が挙げられる。この構造は非常に発光効率が高く、現在、研究開発が進められているELディスプレイは殆どこの構造を採用している。

【 0 0 0 6 】

また他にも、陽極上に正孔注入層／正孔輸送層／発光層／電子輸送層、または正孔注入層／正孔輸送層／発光層／電子輸送層／電子注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。

【 0 0 0 7 】

本明細書において陰極と陽極の間に設けられる全ての層を総称してEL層と呼ぶ。よって上述した正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等は、全てEL層に含まれる。

【 0 0 0 8 】

そして、上記構造でなる E L 層に一对の電極から所定の電圧をかけることによって、E L 層に直流の電場が発生し、それにより発光層においてキャリアの再結合が起こって発光する。なお、本明細書中では、陽極、E L 層及び陰極で形成される発光素子を E L 素子と呼ぶ。また E L 素子が発光することを本明細書中では、E L 素子が駆動すると呼ぶ。

【 0 0 0 9 】

E L 層は熱、光、水分、酸素等によって劣化が促進されることから、一般的にアクティブマトリクス型の E L ディスプレイの作製において、画素部に配線や T F T を形成した後に E L 素子が形成される。

【 0 0 1 0 】

そして E L 素子が形成された後、E L 素子が設けられる基板（E L パネル）とカバー材とを、E L 素子が外気に曝されないように貼り合わせてシール材等により封止（パッケージング）する。

【 0 0 1 1 】

パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ（F P C、T A B 等）を取り付けて、アクティブマトリクス型の E L ディスプレイが完成する。

【 0 0 1 2 】

【発明が解決しようとする課題】

アクティブマトリクス型の E L ディスプレイにおいて、E L 素子的一对の電極から E L 層にかかる電圧は、各画素に設けられた T F T によって制御される。そのため、画素部が有する T F T がスイッチング素子として機能しなかったり、配線が断線またはショートするなど、何らかの不具合が生じると、E L 素子が有する E L 層に所定の電圧をかけることができなくなる。その場合、画素は所望の階調を表示することができない。

【 0 0 1 3 】

そして、このように画素部において E L 素子の発光を制御する配線や T F T に

何らかの不具合が生じていても、E Lディスプレイを完成させて実際に表示を行うまで、その不具合の存在を確認することが難しい。そのため実際には製品にならないE Lパネルであっても、良品との区別をつけるために、E L素子を形成し、パッケージングし、コネクタを取り付けてE Lディスプレイとして完成させる必要がある。この場合、E L素子を形成する工程と、パッケージングする工程と、コネクタを取り付ける工程とが無駄になるため、時間とコストを抑えることができない。また多面取りの基板を用いてE Lパネルを形成する場合でも、パッケージングしコネクタを取り付ける工程が無駄になり、同様に時間とコストを抑えることができない。

【 0 0 1 4 】

アクティブマトリクス型のE Lディスプレイに先行して量産化されているアクティブマトリクス型の液晶ディスプレイでは、画素部を有するパネル（液晶パネル）と対向電極を有する基板との間に液晶を封入して液晶ディスプレイを完成させる前に、画素部において配線やT F Tを形成した後、各画素が有するコンデンサに電荷を蓄積し、その電荷量を各画素ごとに測定することで、画素部に不具合が生じていないかどうかを確認している。

【 0 0 1 5 】

しかしアクティブマトリクス型のE Lディスプレイの場合、一般的に各画素ごとにT F Tが2つ以上設けられていることが多い。そしてE L素子が有する一方の電極（画素電極）とコンデンサとが、T F Tを間に介して接続されている場合がある。この場合、コンデンサに蓄積した電荷量を測定しても、コンデンサと画素電極との間に接続されている配線およびT F Tに不具合があるかどうかを確認することが難しい。

【 0 0 1 6 】

アクティブマトリクス型のE Lディスプレイの量産化に向けて、E Lディスプレイを完成させる前に、画素部において配線およびT F Tに不具合が生じていないか、言いかえると、各画素のE L素子の画素電極に所定の電圧を印加することができるかどうかの検査方法の確立が求められている。

【 0 0 1 7 】

【課題を解決するための手段】

本発明で開示する E L パネルの検査方法では、画素部において配線、T F T および E L 素子の画素電極が形成された後、検査用として用いる導電性を有する膜（検査用導電膜）により、検査しようとする全ての画素の画素電極を電氣的に接続する。

【0018】

そして各画素が有する配線に、実際に画像を表示するのに必要な高さの電位を与える。なお本明細書において、画素が有する配線、言いかえると画素に設けられる E L 素子の駆動を制御するために電位が与えられる配線に、実際に画像を表示するのに必要な高さの電位が与えられている状態を、該画素が選択状態にある（該画素が選択される）と呼ぶ。

【0019】

そして、各画素が選択されているときに、検査用導電膜に流れる電流を測定する。そして、測定した電流の値がある所定の範囲内に納まっているかどうかで、各画素が有する配線および T F T に不具合が生じていないかどうかを判断することができる。

【0020】

例えば、ある画素が選択されているときに検査用導電膜に流れる電流が所定の範囲からはずれてた場合、該画素が有する T F T がスイッチング素子として機能していなかったり、配線が断線またはショートするなどの不具合が生じていると判断することができる。逆にある画素が選択されているときに検査用導電膜に流れる電流が所定の範囲に納まっている場合、該画素が有する T F T および配線は正常に機能しているものとみなすことができる。

【0021】

なお、T F T および配線が正常に機能していとみなすことができる電流値の範囲は、実施者が適宜設定することができる。また検査した結果、不具合が生じている画素（不良画素）の数が 1 つの E L パネルに n 個以上存在している場合、該 E L パネルは不良品とみなされる。なお不良品とみなす不良画素の数 n は、実施者が適宜設定することができる。

【 0 0 2 2 】

検査終了後、該検査用導電膜は除去される。

【 0 0 2 3 】

本発明の検査方法によって、E L パネルをE L ディスプレイとして完成させなくても、E L パネルが良品か不良品かの区別をつけることが可能になる。よって、実際には製品にならない不良品のE L パネルをE L ディスプレイとして完成させる必要がなくなる。そのため、不良品のE L パネルについて、E L 素子を形成する工程と、パッケージングする工程と、コネクタを取り付ける工程とを省くことができ、時間とコストを抑えることができる。また多面取りの基板を用いてE L パネルを形成する場合でも、パッケージングする工程と、コネクタを取り付ける工程とを省くことができ、同様に時間とコストを抑えることができる。

【 0 0 2 4 】

なお本発明の検査方法は、各画素にE L 素子の発光を制御するためのT F T が複数設けられているE L パネルにのみ適用できるわけではない。各画素にE L 素子の発光を制御するためのT F T が1つしかないE L パネルの場合でも、本発明の検査方法を用いることによって、良品と不良品の区別をつけることが可能である。

【 0 0 2 5 】

またさらに、本発明の検査方法は液晶ディスプレイにも適用することができる。液晶ディスプレイの場合、液晶パネルの画素部において配線、画素電極およびT F T が形成された後、導電性を有する検査用導電膜によって検査する画素の画素電極を全て電氣的に接続する。

【 0 0 2 6 】

なお本明細書において、画素部を有するパネルを表示パネルと呼び、E L パネルと液晶パネルは表示パネルに含まれる。

【 0 0 2 7 】

そして画素が有する配線に、実際に表示を行うのに必要な高さの電位を与え、全ての画素を順に選択していく。なお液晶パネルの場合、画素が有する配線とは、各画素の画素電極と対向電極の間に設けられる液晶を駆動させるために電位が

与えられる配線を意味する。

【0028】

各画素が選択されているときに、画素電極または画素電極となる検査用導電膜に流れる電流の値を測定する。そして、測定した電流の値がある一定の範囲内に納まっているかどうかで、各画素が有する配線およびTFTに不具合が生じていないかどうかを判断することができる。

【0029】

検査終了後、液晶パネルと、対向電極を有する対向基板との間に液晶を封入して液晶ディスプレイを完成させる。上記構成によって、液晶ディスプレイを完成させる前に画素部に不具合が生じていないかどうかを検査することが可能になる。よって液晶を封入する工程と、封入した後にコネクタを取り付ける工程とを省略することができ、時間とコストを抑えることができる。また対向電極を有する対向基板を無駄にすることがなくなる。

【0030】

【発明の実施の形態】

本発明のELパネルの検査方法について、図1を用いて詳しく説明する。図1は検査時におけるELパネルの上面図であり、ソース信号線駆動回路101、ゲート信号線駆動回路102、画素部103が図に示すように設けられている。画素部103において、ソース信号線とゲート信号線と電源供給線とを1つずつ含む領域が画素104である。画素部103上には検査用導電膜105が形成されている。

【0031】

なお検査用導電膜105は全ての画素104が有する画素電極を電氣的に接続するための膜である。検査用導電膜105は画素部103に設けられたソース信号線、ゲート信号線および電源供給線とショートしないように形成することが必要である。

【0032】

検査用導電膜105に用いられる材料は、導電性を有し、検査後に検査用導電膜105のみを除去することができるものであることが重要である。検査用導電

膜に用いられる材料として、導電性を有する合成樹脂、または導電性物質と合成樹脂とを混合したものをを用いることができる。前者としては例えばポリアセチレン、ポリビニルカルバゾール等が挙げられる。後者としては、ポリイミド、アクリル、ポリイミドアミド、BCB（ベンゾシクロブテン）、ポリエチレン、ポリスチレン、ポリ塩化ビニル、ポリアミド等の合成樹脂に、Au、Ag、Cu、Ni、カーボンブラック、黒鉛などの導電性粉末または箔、金属繊維、炭素繊維などの導電性繊維を多量に配合した、等方導電性のものをを用いることが可能である。また導電性を有する合成樹脂に金属塩を添加したものをを用いても良い。

【 0 0 3 3 】

また画素電極を腐食させることなくウェットエッチングにより除去することが可能な材料であれば、金属を検査用導電膜に用いても良い。

【 0 0 3 4 】

また、画素電極に結晶化されたITOを用いた場合、検査用導電膜としてアモルファスのITOを用いることも可能である。結晶化されたITOはウェットエッチングされないことから、検査終了後、ウェットエッチによって検査用導電膜であるアモルファスのITOのみを除去することができる。

【 0 0 3 5 】

外部接続配線107は、コネクタを介してELパネルの外部からの信号をソース信号線駆動回路101またはゲート信号線駆動回路102に入力するための配線である。

【 0 0 3 6 】

検査用導電膜105は、測定用配線106を介してELパネルの外部の電流計に接続される。測定用配線106は、導電性を有する材料を用いて形成されていれば良い。検査用導電膜105を流れる電流は、測定点（Prove Point）において測定されることになる。

【 0 0 3 7 】

図2に、画素部103の回路図を示す。ゲート信号線G1～Gyのいずれか1つと、ソース信号線S1～Sxのいずれか1つと、電源供給線V1～Vxのいずれか1つとを有する領域が画素104である。画素部103にはマトリクス状に

複数の画素 1 0 4 が配置されている。

【 0 0 3 8 】

ゲート信号線駆動回路 1 0 2 からの選択信号が入力されるゲート信号線 (G 1 ~ G y) は、各画素が有するスイッチング用 T F T 2 0 1 のゲート電極に接続されている。また各画素の有するスイッチング用 T F T 2 0 1 のソース領域とドレイン領域は、一方がソース信号線 S 1 ~ S x に、もう一方が各画素が有する E L 駆動用 T F T 2 0 2 のゲート電極及び各画素が有するコンデンサ 2 0 3 にそれぞれ接続されている。ソース信号線 S 1 ~ S x には、ソース信号線駆動回路 1 0 1 から出力されるアナログのビデオ信号が入力される。

【 0 0 3 9 】

コンデンサ 2 0 3 はスイッチング用 T F T 2 0 1 がオフの時、E L 駆動用 T F T 2 0 2 のゲート電圧 (ゲート電極とソース領域間の電位差) を保持するために設けられている。なお本実施の形態ではコンデンサ 2 0 3 を設ける構成を示したが、本発明はこの構成に限定されず、コンデンサ 2 0 3 を設けない構成であっても良い。

【 0 0 4 0 】

各画素が有する E L 駆動用 T F T 2 0 2 のソース領域は電源供給線 V 1 ~ V x に接続されている。本明細書では、電源供給線 V 1 ~ V x の電位を電源電位と呼ぶ。電源電位は、E L パネルの外付けの I C 等により設けられた電源によって与えられる。また電源供給線 V 1 ~ V x は、各画素が有するコンデンサ 2 0 3 に接続されている。そして画素 1 0 4 が有する E L 駆動用 T F T 2 0 2 のドレイン領域は、画素電極に接続されており、画素電極は検査用導電膜 1 0 5 によって全て電氣的に接続されている。検査用導電膜 1 0 5 に流れる電流が Prove Point において測定される。

【 0 0 4 1 】

以下に Prove Point における電流の測定手順について、図 3 を用いて説明する。

【 0 0 4 2 】

図 3 (A) は、図 2 で示した画素部 1 0 3 における画素 1 0 4 の配置を、簡略

的に示したものである。括弧内の数字は、左が該画素が有するソース信号線の番号を示し、右が該画素が有するゲート信号線の番号を示している。例えば (x, y) は、ソース信号線 S_x とゲート信号線 G_y とを有する画素を意味する。

【0043】

まず、電源供給線 V₁ ~ V_x の電源電位は、実際に表示を行うときと同じ高さの電位に保たれる。具体的には、ELディスプレイが完成して表示を行う際、EL素子の画素電極に電源電位が与えられたときにEL素子が発光する程度に、対向電極との間に電位差を有する高さに保たれる。なお対向電極とは、EL素子が有する2つの電極のうち、画素電極ではないほうの電極を意味する。

【0044】

そしてゲート信号線駆動回路102からゲート信号線G₁に選択信号が入力される。選択信号は、ゲート信号線G₁にゲート電極が接続されているスイッチング用TFT201を、理想的には全てオンにするような高さの電位を有している。

【0045】

次にソース信号線駆動回路101からソース信号線S₁に検査用のビデオ信号が入力される。検査用のビデオ信号の電位は、実際にELディスプレイが表示を行う際に、一番明るい表示を行うときにソース信号線S₁ ~ S_xに入力されるビデオ信号の電位と同じ高さに設定されている。またデジタルのビデオ信号を用いて表示を行うELディスプレイの場合、検査用のビデオ信号の電位は、実際の表示と同じ明るさでEL素子が発光するような高さであれば良い。

【0046】

このように、画素(1, 1)が画像を表示するのに必要な信号線(表示に携わる信号線)(図2の場合ソース信号線S₁、ゲート信号線G₁、電源供給線V₁)に、該画素が実際に表示を行うときと同じ高さの電位が与えられる。そしてこの画素(1, 1)の表示に携わる信号線に、該画素が実際に表示を行うときと同じ高さの電位が与えられており、画素(1, 1)が選択されていることになる。

【0047】

図2の場合具体的には、電源供給線V₁の電源電位が実際に表示を行うときと

同じ高さの電位に保たれ、ゲート信号線 G 1 に選択信号が入力され、かつソース信号線 S 1 に検査用のビデオ信号が入力されている状態を、画素 (1, 1) が選択されていると呼ぶ。

【 0 0 4 8 】

画素 (1, 1) が選択されると、電源供給線 V 1 の電源電位は検査用導電膜 1 0 5 に与えら、Prove Pointにおいて電流値が測定される。

【 0 0 4 9 】

そして順に全ての画素 1 0 4 が選択され、Prove Pointにおいて電流値が測定される。

【 0 0 5 0 】

各画素 1 0 4 が有する T F T (図 2 の場合スイッチング用 T F T 2 0 1 と E L 駆動用 T F T 2 0 2) のいずれか 1 つが正常に機能していなかったり、ソース信号線 S (S 1 ~ S x のいずれか 1 つ)、ゲート信号線 G (G 1 ~ G y のいずれか 1 つ)、電源供給線 V (V 1 ~ V x のいずれか 1 つ) や、その他 T F T 同士を接続する配線が断線またはショートしていると、Prove Pointにおける電流の測定値は理想とする値にはならない。

【 0 0 5 1 】

Prove Pointにおける電流の測定値が理想とする値かどうかの判断基準は、実施者が適宜設定することができる。例えば、図 3 (B) に示した画素 (1, 1)、(1, 2) 等のように、電流の測定値が i_1 から i_2 の範囲内に納まっていれば、測定値が理想とする値であると判断することができる。 i_1 と i_2 の値は、実施者が適宜設定することができる。なお図 3 (B) において×印は該画素を選択したときのProve Pointの電流の測定値を示す。

【 0 0 5 2 】

測定値が理想とする値であれば、該画素において配線および T F T に不具合が生じておらず、該画素に形成する E L 素子の画素電極に所定の電圧を印加することができる判断される。

【 0 0 5 3 】

また例えば図 3 (B) に示した画素 (1, 3) や画素 (x - 1, y) のように

、電流の測定値が i_1 から i_2 の範囲からはずれている場合、測定値が理想とする値ではないと判断することができる。よって該画素において配線および T F T に不具合が生じており、該画素に形成する E L 素子の画素電極に所定の電圧を印加することができないと判断される。

【 0 0 5 4 】

不具合が生じていると判断された画素（不良画素）を有する E L パネルは、E L ディスプレイに用いるかどうか判断される。画素部 1 0 3 に不良画素が 1 つでも存在する E L パネルは不良品として E L ディスプレイに用いないとしても良いし、実施者が決めた以上の数の不良画素が存在する E L パネルを不良品として E L ディスプレイに用いないようにしても良い。

【 0 0 5 5 】

1 つの基板から 1 つの E L パネルが形成される場合、良品と判断された E L パネルは、検査終了後、検査用導電膜 1 0 5 は溶剤によって除去される。溶剤は、検査用導電膜 1 0 5 に用いられている合成樹脂のみを溶解することができるものをを用いる。

【 0 0 5 6 】

そしてその後 E L 層と対向電極が画素電極上に順に積層して形成され、E L 素子 2 0 4 が完成する。また不良品と判断された E L パネルは、検査終了後の工程を省略することができる。（図 4）

【 0 0 5 7 】

1 つの基板から複数の E L パネルが形成される場合、検査終了後、全ての E L パネルについて検査用導電膜 1 0 5 が除去される。そしてその後 E L 層と対向電極を画素電極上に順に積層して形成し、E L 素子 2 0 4 が完成する。そして基板を切断することによって複数の E L パネルを分離し、良品と判断された E L パネルはカバー材によって封止した後コネクタを接続することによって E L ディスプレイとして完成し、不良品と判断された E L パネルは切断後の工程を省略することができる。

【 0 0 5 8 】

E L 素子 2 0 4 の対向電極の電位（対向電位）は、E L パネルの外付けの I C

等により設けられた電源によって与えられる。

【 0 0 5 9 】

E L 素子 2 0 4 が形成された後、E L 素子 2 0 4 を覆うように保護膜（図示せず）を形成して、E L パネルを完成させても良い。なお保護膜は必ずしも設けなくとも良く、その場合 E L 素子 2 0 4 が形成されたら E L パネルが完成したものとみなす。

【 0 0 6 0 】

上述した本発明の検査方法によって、E L パネルを E L ディスプレイとして完成させなくとも、E L パネルが良品か不良品かの区別をつけることが可能になる。そのため、実際には製品にならない不良品の E L パネルを E L ディスプレイとして完成させる必要がなくなる。よって E L 素子を形成する工程と、パッケージング（封止）する工程と、コネクタを取り付ける工程とを省くことができ、時間とコストを抑えることができる。また多面取りの基板を用いて E L パネルを形成する場合でも、パッケージングする工程と、コネクタを取り付ける工程とを省くことができ、同様に時間とコストを抑えることができる。

【 0 0 6 1 】

なお本発明の検査方法は、各画素に E L 素子の発光を制御するための T F T が複数設けられている E L パネルにのみ適用できるわけではない。各画素に E L 素子の発光を制御するための T F T が 1 つしかない E L パネルの場合でも、本発明の検査方法を用いることによって、良品と不良品の区別をつけることが可能である。また、各画素に E L 素子の発光を制御するための T F T が 2 つ以上設けられた E L パネルの場合でも、本発明の検査方法を用いることによって、良品と不良品の区別をつけることが可能である。

【 0 0 6 2 】

なお図 2 から図 4 に示した E L パネルにおいて、スイッチング用 T F T 2 0 1 と E L 駆動用 T F T 2 0 2 は、n チャネル型 T F T でも p チャネル型 T F T でもどちらでも構わない。E L 素子 2 0 6 の陽極が E L 駆動用 T F T 2 0 2 のドレイン領域と接続している場合、E L 素子 2 0 6 の陽極が画素電極、陰極が対向電極となり、E L 駆動用 T F T 2 0 2 は p チャネル型 T F T を用いるのが好ましい。

逆に E L 素子 2 0 6 の陰極が E L 駆動用 T F T 2 0 2 のドレイン領域と接続している場合、E L 素子 2 0 6 の陽極が対向電極、陰極が画素電極となり、E L 駆動用 T F T 2 0 2 は n チャンネル型 T F T を用いるのが好ましい。

【 0 0 6 3 】

またスイッチング用 T F T 2 0 1、E L 駆動用 T F T 2 0 2 は、シングルゲート構造ではなく、ダブルゲート構造、やトリプルゲート構造などのマルチゲート構造を有していても良い。

【 0 0 6 4 】

【実施例】

以下に、本発明の実施例について説明する。

【 0 0 6 5 】

(実施例 1)

本実施例では、実施の形態で示した E L パネルとは異なる構成の画素部を有する E L パネルについて、本発明の検査方法を適用する例について説明する。

【 0 0 6 6 】

本実施例で用いる E L パネルの画素部 5 0 1 の回路図を図 1 0 に示す。本実施例において、第 1 のゲート信号線 G a 1 ~ G a y のいずれか 1 つと、第 2 のゲート信号線 G e 1 ~ G e y のいずれか 1 つと、ソース信号線 S 1 ~ S x のいずれか 1 つと、電源供給線 V 1 ~ V x のいずれか 1 つとを有する領域が画素 5 0 2 である。画素部 5 0 1 にはマトリクス状に複数の画素 5 0 4 が配置されている。

【 0 0 6 7 】

第 1 のゲート信号線駆動回路からの第 1 の選択信号が入力される第 1 のゲート信号線 G a 1 ~ G a y のいずれか 1 つは、各画素 5 0 2 が有する第 1 のスイッチング用 T F T 5 0 3 のゲート電極に接続されている。また各画素の有する第 1 のスイッチング用 T F T 5 0 3 のソース領域とドレイン領域は、一方がアナログのビデオ信号を入力するソース信号線 S 1 ~ S x のいずれか 1 つに、もう一方が各画素が有する E L 駆動用 T F T 5 0 4 のゲート電極及び各画素が有するコンデンサ 5 0 5 にそれぞれ接続されている。

【 0 0 6 8 】

コンデンサ 5 0 5 は第 1 のスイッチング用 T F T 5 0 3 がオフの時、E L 駆動用 T F T 5 0 4 のゲート電圧（ゲート電極とソース領域間の電位差）を保持するために設けられている。なお本実施例ではコンデンサ 5 0 5 を設ける構成を示したが、本発明はこの構成に限定されず、コンデンサ 5 0 5 を設けない構成にしても良い。

【 0 0 6 9 】

E L 駆動用 T F T 5 0 4 のソース領域は電源供給線 V 1 ~ V x のいずれか 1 つに接続されている。そして E L 駆動用 T F T 5 0 4 のドレイン領域は、E L 素子の画素電極に接続されており、全ての画素の画素電極は検査用導電膜（図示せず）によって電氣的に接続されている。電源供給線 V 1 ~ V x のいずれか 1 つはコンデンサ 5 0 5 に接続されている。

【 0 0 7 0 】

また第 2 のスイッチング用 T F T 5 0 6 のソース領域とドレイン領域のうち、第 1 のスイッチング用 T F T 5 0 3 のソース領域またはドレイン領域に接続されていない方は、電源供給線 V 1 ~ V x のいずれか 1 つに接続されている。そして第 2 のスイッチング用 T F T 5 0 6 のゲート電極は、第 2 のゲート信号線駆動回路からの第 2 の選択信号が入力される第 2 のゲート信号線 G e 1 ~ G e y のいずれか 1 つに接続されている。

【 0 0 7 1 】

電源供給線 V 1 ~ V x の電源電位は、E L パネルの外付けの I C 等により設けられた電源によって与えられる。また電源供給線 V 1 ~ V x は、各画素が有するコンデンサ 5 0 5 に接続されている。

【 0 0 7 2 】

検査用導電膜に流れる電流を Prove Point において測定する。以下に Prove Point における測定の手順について、図 1 1 を用いて説明する。

【 0 0 7 3 】

図 1 1 (A) は、図 1 0 で示した画素部 5 0 1 における画素 5 0 2 の配置を、簡略的に示したものである。括弧内の数字は、左が該画素が有するソース信号線の番号を示し、右が該画素が有する第 1 のゲート信号線および第 2 のゲート信号

線の番号を示している。例えば (x, y) は、ソース信号線 S x と第 1 のゲート信号線 G a y および第 2 のゲート信号線 G e y とを有する画素を意味する。

【 0 0 7 4 】

図 1 0 に示した画素部 5 0 1 を有する E L パネルの場合、第 1 のゲート信号線に第 1 の選択信号が入力されているときと、第 2 のゲート信号線に第 2 の選択信号が入力されているときと、各画素につき 2 回づつ測定を行う必要がある。

【 0 0 7 5 】

まず、電源供給線 V 1 ~ V x の電源電位は実際に表示を行うときと同じ高さの電位に保たれる。具体的には、E L ディスプレイが完成して表示を行う際、E L 素子の画素電極に電源電位が与えられたときに E L 素子が発光する程度に、対向電極との間に電位差を有する高さに保たれる。

【 0 0 7 6 】

そして第 1 のゲート信号線駆動回路から第 1 のゲート信号線 G a 1 に第 1 の選択信号が入力される。第 1 の選択信号は、第 1 のゲート信号線 G a 1 にゲート電極が接続されている第 1 のスイッチング用 T F T 5 0 3 を、理想的には全てオンにするような高さの電位を有している。

【 0 0 7 7 】

次にソース信号線駆動回路からソース信号線 S 1 に検査用のビデオ信号が入力される。検査用のビデオ信号の電位は、実際に E L ディスプレイが表示を行う際に、一番明るい表示を行うときにソース信号線 S 1 ~ S x に入力されるビデオ信号の電位と同じ高さに設定されている。またデジタルのビデオ信号を用いて表示を行う E L ディスプレイの場合、検査用のビデオ信号の電位は、実際の表示と同じ明るさで E L 素子が発光するような高さであれば良い。

【 0 0 7 8 】

このように、画素 (1, 1) の表示に携わる信号線 (図 1 0 の場合ソース信号線 S 1、第 1 のゲート信号線 G a 1、電源供給線 V 1) には、該画素が実際に表示を行うときと同じ高さの電位が与えられており、該画素が選択されていることになる。図 1 0 の場合具体的には、電源供給線 V 1 の電源電位が実際に表示を行うときと同じ高さの電位に保たれ、第 1 のゲート信号線 G a 1 に第 1 の選択信号

が入力され、かつソース信号線 S 1 に検査用のビデオ信号が入力されている状態を、画素 (1, 1) が選択されていると呼ぶ。

【0079】

画素 (1, 1) が選択されると、電源供給線 V 1 の電源電位は検査用導電膜に与えられるため、Prove Pointにおいて電流値が測定される。

【0080】

そして順に全ての画素 5 0 2 が選択され、Prove Pointにおいて電流値が測定される。

【0081】

次に、再び画素 (1, 1) を選択する。そして、電源供給線 V 1 ~ V x の電源電位を実際に表示を行うときと同じ高さに保ったまま、第 2 のゲート信号線駆動回路から第 2 のゲート信号線 G e 1 に第 2 の選択信号を入力する。

【0082】

第 2 の選択信号は、第 2 のゲート信号線 G e 1 にゲート電極が接続されている第 2 のスイッチング用 T F T 5 0 3 を、理想的には全てオンにするような高さの電位を有している。

【0083】

図 1 0 に示した画素部 5 0 1 の場合、第 2 のスイッチング用 T F T 5 0 3 がオンになると、画素 (1, 1)、(2, 1)、…、(x, 1) が有する E L 駆動用 T F T 5 0 4 が全てオフになり、理想的には検査用導電膜に電流が流れなくなる。

【0084】

このように、画素 (1, 1) を選択した後に、画素 (1, 1) が表示を行わなくなるような電位を、画素 (1, 1) の表示に携わる信号線 (図 1 0 の場合、第 2 のゲート信号線 G e 1、電源供給線 V 1) に与える。この状態を、本明細書では該画素が非選択状態にあると呼ぶ。図 1 0 の場合、具体的には、電源供給線 V 1 の電源電位が実際に表示を行うときと同じ高さの電位に保ち、かつ第 2 のゲート信号線 G e 2 に第 2 の選択信号が入力されている状態を、画素 (1, 1) が非選択状態にあると呼ぶ。

【 0 0 8 5 】

そして画素 (1, 1) を非選択状態にし、Prove Pointにおいて電流値を測定する。

【 0 0 8 6 】

同様に、全ての画素 5 0 2 を選択状態にした後に非選択状態にし、Prove Pointにおいて電流値を測定する。

【 0 0 8 7 】

各画素 5 0 2 が有する T F T のうち (図 1 0 の場合第 1 のスイッチング用 T F T 5 0 3 と、第 2 のスイッチング用 T F T 5 0 6 と、E L 駆動用 T F T 2 0 2) のいずれか 1 つが正常に機能していなかったり、ソース信号線 S (S 1 ~ S x のいずれか 1 つ)、第 1 のゲート信号線 G a (G a 1 ~ G a y のいずれか 1 つ)、第 2 のゲート信号線 G e (G e 1 ~ G e y のいずれか 1 つ)、電源供給線 V (V 1 ~ V x のいずれか 1 つ) や、その他の配線が断線またはショートしていると、Prove Pointにおける電流の測定値は理想とする値にはならない。

【 0 0 8 8 】

画素が非選択状態のときの Prove Point における電流の測定値が理想とする値かどうかの判断基準は、実施者が適宜設定することができる。例えば、電流の測定値が i_3 から i_4 の範囲内に納まっていれば、測定値が理想とする値であると判断することができる。 i_3 と i_4 の値は、実施者が適宜設定することができる。

【 0 0 8 9 】

測定値が理想とする値であれば、該画素において配線および T F T に不具合が生じておらず、該画素に形成する E L 素子の画素電極に所定の電圧を印加することができる判断される。

【 0 0 9 0 】

また例えば電流の測定値が i_3 から i_4 の範囲からはずれている場合、測定値が理想とする値ではないと判断することができる。よって該画素において配線および T F T に不具合が生じており、該画素に形成する E L 素子の画素電極に所定の電圧を印加することができないと判断される。

【 0 0 9 1 】

不具合が生じていると判断された画素（不良画素）を有する E L パネルは、E L ディスプレイに用いるかどうか判断される。この場合、画素部 5 0 1 に不良画素が 1 つでも存在する E L パネルは E L ディスプレイに用いないとしても良いし、実施者が決めた以上の数の不良画素が存在する E L パネルは E L ディスプレイに用いないとしても良い。

【 0 0 9 2 】

1 つの基板から 1 つの E L パネルが形成される場合、良品と判断された E L パネルは、検査終了後、検査用導電膜が除去される。そしてその後 E L 層と対向電極が画素電極上に順に積層して形成され、E L 素子 5 0 7 が完成する。また不良品と判断された E L パネルは、検査終了後の工程を省略することができる。（図 1 2）

【 0 0 9 3 】

1 つの基板から複数の E L パネルが形成される場合、検査終了後、全ての E L パネルについて検査用導電膜が除去される。そしてその後 E L 層と対向電極を画素電極上に順に積層して形成し、E L 素子 5 0 7 が完成する。そして基板を切断することによって複数の E L パネルを分離し、良品と判断された E L パネルはカバー材によって封止した後コネクタを接続することによって E L ディスプレイとして完成し、不良品と判断された E L パネルは切断後の工程を省略することができる。

【 0 0 9 4 】

E L 素子 5 0 7 の対向電極の電位（対向電位）は、E L パネルの外付けの I C 等により設けられた電源によって与えられる。

【 0 0 9 5 】

E L 素子 5 0 7 が形成された後、E L 素子 5 0 7 を覆うように保護膜（図示せず）が形成され、E L パネルが完成する。なお保護膜は必ずしも設けなくとも良く、その場合 E L 素子 5 0 7 が形成されたら E L パネルが完成する。

【 0 0 9 6 】

上述した本発明の検査方法によって、E L パネルを E L ディスプレイとして完成させなくても、E L パネルが良品か不良品かの区別をつけることが可能になる

。よって、実際には製品にならない不良品の E L パネルを E L ディスプレイとして完成させる必要がなくなる。そのため E L 素子を形成する工程と、パッケージングする工程と、コネクタを取り付ける工程とを省くことができ、時間とコストを抑えることができる。また多面取りの基板を用いて E L パネルを形成する場合でも、パッケージングする工程と、コネクタを取り付ける工程とを省くことができ、同様に時間とコストを抑えることができる。

【 0 0 9 7 】

なお本発明の検査方法は、各画素に E L 素子の発光を制御するための T F T が複数設けられている E L パネルにのみ適用できるわけではない。各画素に E L 素子の発光を制御するための T F T が 1 つしかない E L パネルの場合でも、本発明の検査方法を用いることによって、良品と不良品の区別をつけることが可能である。また、各画素に E L 素子の発光を制御するための T F T が 4 つ以上設けられた E L パネルの場合でも、本発明の検査方法を用いることによって、良品と不良品の区別をつけることが可能である。

【 0 0 9 8 】

なお図 1 0 ～図 1 2 に示した E L パネルにおいて、第 1 のスイッチング用 T F T 5 0 3 と第 2 のスイッチング用 T F T 5 0 6 と E L 駆動用 T F T 5 0 4 は、n チャンネル型 T F T でも p チャンネル型 T F T でもどちらでも構わない。E L 素子 5 0 7 の陽極が E L 駆動用 T F T 5 0 4 のドレイン領域と接続している場合、E L 素子 5 0 7 の陽極が画素電極、陰極が対向電極となり、E L 駆動用 T F T 5 0 4 は p チャンネル型 T F T を用いるのが好ましい。逆に E L 素子 5 0 7 の陰極が E L 駆動用 T F T 5 0 4 のドレイン領域と接続している場合、E L 素子 5 0 7 の陽極が対向電極、陰極が画素電極となり、E L 駆動用 T F T 5 0 4 は n チャンネル型 T F T を用いるのが好ましい。

【 0 0 9 9 】

また第 1 のスイッチング用 T F T 5 0 3、第 2 のスイッチング用 T F T 5 0 6、E L 駆動用 T F T 5 0 4 は、シングルゲート構造ではなく、ダブルゲート構造、やトリプルゲート構造などのマルチゲート構造を有していても良い。

【 0 1 0 0 】

(実施例 2)

本実施例では、本発明の検査方法を用いて検査した後の、E L パネルの画素の上面図の一例を示す。

【0 1 0 1】

図 9 (A) に本実施例の画素の上面図を、また図 9 (B) に画素の回路図を示す。4 4 0 2 はスイッチング用 T F T であり、4 4 0 6 は E L 駆動用 T F T である。

【0 1 0 2】

スイッチング用 T F T 4 4 0 2 は、ゲート信号線 4 4 0 4 の一部であるゲート電極 4 4 0 4 a、4 4 0 4 b を有している。スイッチング用 T F T 4 4 0 2 のソース領域はソース信号線 4 4 1 5 に接続され、ドレイン領域はドレイン配線 4 4 0 5 に接続される。また、ドレイン配線 4 4 0 5 は E L 駆動用 T F T 4 4 0 6 のゲート電極 4 4 0 7 に電氣的に接続される。また、E L 駆動用 T F T 4 4 0 6 のソース領域は電源供給線 4 4 1 6 に電氣的に接続され、ドレインはドレイン配線 4 4 1 7 に電氣的に接続される。また、ドレイン配線 4 4 1 7 は画素電極 4 4 1 8 に電氣的に接続される。

【0 1 0 3】

このとき、4 4 1 9 で示される領域にはコンデンサが形成される。コンデンサ 4 4 1 9 は、電源供給線 4 4 1 6 と電氣的に接続された半導体膜 4 4 2 0、ゲート絶縁膜と同一層の絶縁膜（図示せず）及びゲート電極 4 4 0 7 との間で形成される。また、ゲート電極 4 4 0 7、第 1 層間絶縁膜と同一の層（図示せず）及び電源供給線 4 4 1 6 で形成される容量もコンデンサとして用いることが可能である。

【0 1 0 4】

本実施例において画素電極はソース信号線 4 4 1 5 と電源供給線 4 4 1 6 と重なっていないが、層間絶縁膜を間に介して重なるような構成にしても良い。

【0 1 0 5】

また図示していないが、画素電極 4 4 1 8 上に E L 層と対向電極とが順に積層して E L 素子 4 4 1 4 を形成している。

【 0 1 0 6 】

(実施例 3)

本実施例では、図 4 に示した E L パネルにおいて、同一基板上に画素部と、画素部の周辺に設ける駆動回路の T F T (n チャンネル型 T F T 及び p チャンネル型 T F T) を同時に作製する方法について詳細に説明する。

【 0 1 0 7 】

まず、図 5 (A) に示すように、コーニング社の # 7 0 5 9 ガラスや # 1 7 3 7 ガラスなどに代表されるバリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどのガラス、または石英基板から成る基板 4 0 0 上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜 4 0 1 を形成する。例えば、プラズマ C V D 法で SiH_4 、 NH_3 、 N_2O から作製される酸化窒化シリコン膜を 1 0 ~ 2 0 0 nm (好ましくは 5 0 ~ 1 0 0 nm) 形成し、同様に SiH_4 、 N_2O から作製される酸化窒化水素化シリコン膜を 5 0 ~ 2 0 0 nm (好ましくは 1 0 0 ~ 1 5 0 nm) の厚さに積層形成する。なお図 5 (A) では下地膜を 1 つの層で示した。本実施例では下地膜 4 0 1 を 2 層構造として示したが、前記絶縁膜の単層膜または 2 層以上積層させた構造として形成しても良い。

【 0 1 0 8 】

半導体層 4 0 2 ~ 4 0 5 は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この半導体層 4 0 2 ~ 4 0 5 の厚さは 2 5 ~ 8 0 nm (好ましくは 3 0 ~ 6 0 nm) の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム (SiGe) 合金などで形成すると良い。

【 0 1 0 9 】

公知の結晶化方法としては、電熱炉を使用した熱結晶化方法、レーザー光を用いたレーザーアニール結晶化法、赤外光を用いたランプアニール結晶化法、触媒金属を用いた結晶化法がある。

【 0 1 1 0 】

レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーや Y A G レーザー、 YVO_4 レーザーを用いる。これ

らのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数 3 0 0 H z とし、レーザーエネルギー密度を $1 0 0 \sim 4 0 0 \text{ mJ/cm}^2$ (代表的には $2 0 0 \sim 3 0 0 \text{ mJ/cm}^2$) とする。また、YAGレーザーを用いる場合にはその第 2 高調波を用いパルス発振周波数 3 0 ~ 3 0 0 k H z とし、レーザーエネルギー密度を $3 0 0 \sim 6 0 0 \text{ mJ/cm}^2$ (代表的には $3 5 0 \sim 5 0 0 \text{ mJ/cm}^2$) とすると良い。そして幅 $1 0 0 \sim 1 0 0 0 \mu\text{m}$ 、例えば $4 0 0 \mu\text{m}$ で線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率 (オーバーラップ率) を 5 0 ~ 9 0 % として行う。

【 0 1 1 1 】

次いで、半導体層 4 0 2 ~ 4 0 5 を覆うゲート絶縁膜 4 0 6 を形成する。ゲート絶縁膜 4 0 6 はプラズマ C V D 法またはスパッタ法を用い、厚さを $4 0 \sim 1 5 0 \text{ nm}$ としてシリコンを含む絶縁膜で形成する。本実施例では、 $1 2 0 \text{ nm}$ の厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜 4 0 6 はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマ C V D 法で T E O S (Tetraethyl Orthosilicate) と O_2 とを混合し、反応圧力 $4 0 \text{ Pa}$ 、基板温度 $3 0 0 \sim 4 0 0 ^\circ\text{C}$ とし、高周波 ($1 3 . 5 6 \text{ MHz}$) 電力密度 $0 . 5 \sim 0 . 8 \text{ W/cm}^2$ で放電させて形成することができる。このようにして作製される酸化シリコン膜は、その後 $4 0 0 \sim 5 0 0 ^\circ\text{C}$ の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【 0 1 1 2 】

そして、ゲート絶縁膜 4 0 6 上にゲート電極を形成するための第 1 のゲート電極用導電膜 4 0 7 と第 2 のゲート電極用導電膜 4 0 8 とを形成する。本実施例では、第 1 のゲート電極用導電膜 4 0 7 を Ta で $5 0 \sim 1 0 0 \text{ nm}$ の厚さに形成し、第 2 のゲート電極用導電膜 4 0 8 を W で $1 0 0 \sim 3 0 0 \text{ nm}$ の厚さに形成する。

【 0 1 1 3 】

Ta膜はスパッタ法で形成し、TaのターゲットをArでスパッタする。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することができる。また、 α 相のTa膜の抵抗率は $20\ \mu\Omega\text{cm}$ 程度でありゲート電極に使用することができるが、 β 相のTa膜の抵抗率は $180\ \mu\Omega\text{cm}$ 程度でありゲート電極とするには不向きである。 α 相のTa膜を形成するために、Taの α 相に近い結晶構造をもつ窒化タンタルを $10\sim50\text{nm}$ 程度の厚さでTaの下地に形成しておくことと α 相のTa膜を容易に得ることができる。

【0114】

W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に六フッ化タングステン(WF_6)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は $20\ \mu\Omega\text{cm}$ 以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.9999%のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率 $9\sim20\ \mu\Omega\text{cm}$ を実現することができる。

【0115】

なお、本実施例では、第1のゲート電極用導電膜407をTa、第2のゲート電極用導電膜408をWとしたが、特に限定されず、いずれもTa、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例は、第1のゲート電極用導電膜を窒化タンタル(TaN)で形成し、第2のゲート電極用導電膜をWとする組み合わせ、第1のゲート電極用導電膜を窒化タンタル(TaN)で形成し、第2のゲート電極用導電膜をAlとする組み合わせ、第1のゲート電極用導電膜を窒化タンタル(TaN)で形成し、第2のゲート電極用導電膜をCuとする組み合わせで形成することが好ましい。

(図5(B))

【0116】

次に、レジストによるマスク409～412を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP (Inductively Coupled Plasma: 誘導結合型プラズマ) エッチング法を用い、エッチング用ガスに CF_4 と Cl_2 を混合し、1Paの圧力でコイル型の電極に500WのRF (13.56MHz) 電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100WのRF (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。 CF_4 と Cl_2 を混合した場合にはW膜及びTa膜とも同程度にエッチングされる。

【0117】

なお図5(C)では図示しなかったが、上記エッチング条件では、レジストによるマスクの形状に適したものとするにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。テーパ部の角度は $15 \sim 45^\circ$ となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10～20%程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2～4(代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20～50nm程度エッチングされることになる。また図5(C)では図示しなかったが、ゲート絶縁膜406は、上記エッチングによって第1の形状の導電層414～417で覆われない領域が20～50nm程度エッチングされ薄くなった。

【0118】

こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層414～417(第1の導電層414a～417aと第2の導電層414b～417b)を形成する。

【0119】

次に、図5(D)に示すように第2のエッチング処理を行う。同様にICPエッチング法を用い、エッチングガスに CF_4 と Cl_2 と O_2 を混合して、1Paの圧力でコイル型の電極に500WのRF電力(13.56MHz)を供給し、プラズマを生成して行う。基板側(試料ステージ)には50WのRF (13.56MHz) 電力を投入し

、第1のエッチング処理に比べ低い自己バイアス電圧を印加する。このような条件によりW膜を異方性エッチングし、かつ、それより遅いエッチング速度で第1の導電層であるTaを異方性エッチングして第2の形状の導電層419～422（第1の導電層419a～422aと第2の導電層419b～422b）を形成する。また図5（D）では図示しなかったが、ゲート絶縁膜406は、上記エッチングによって第2の形状の導電層419～422で覆われない領域がさらに20～50nm程度エッチングされ薄くなった。

【0120】

W膜やTa膜の CF_4 と Cl_2 の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することができる。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物である WF_6 が極端に高く、その他の WCl_5 、 TaF_5 、 $TaCl_5$ は同程度である。従って、 CF_4 と Cl_2 の混合ガスではW膜及びTa膜共にエッチングされる。しかし、この混合ガスに適量の O_2 を添加すると CF_4 と O_2 が反応してCOとFになり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、 O_2 を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa膜よりも大きくすることが可能となる。

【0121】

そして、マスク409a～マスク412aを除去し、図6（A）に示すように第1のドーピング処理を行い、n型を付与する不純物元素を添加する。例えば、加速電圧を70～120keVとし、 $1 \times 10^{13}/cm^2$ のドーズ量で行う。ドーピングは、第2の形状の導電層419～422を不純物元素に対するマスクとして用い、第2の導電層419a～422aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第2の導電層419a～422aと重なる第1の不純物領域425～428と、第1の不純物領域よりも不純物の濃度が高

い第2の不純物領域429～432とが形成される。なお本実施例ではマスク409a～412aを除去してからn型を付与する不純物元素を添加したが、本発明はこれに限定されない。図6（A）の工程においてn型を付与する不純物元素を添加してからマスク409a～マスク412aを除去しても良い。

【0122】

次に第2の導電層421a、421bを覆うように半導体層404上にレジストからなるマスク433を形成する。マスク433はゲート絶縁膜406を間に挟んで第2の不純物領域431と一部重なっている。そして第2のドーピング処理を行いn型を付与する不純物元素を添加する。この場合、第1のドーピング処理よりもドーズ量を上げて低い加速電圧の条件としてn型を付与する不純物元素をドーピングする。（図6（B））ドーピングの方法はイオンドープ法若しくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14} \text{ atoms/cm}^2$ とし、加速電圧を60～100keVとして行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン（P）または砒素（As）を用いるが、ここではリン（P）を用いる。この場合、第2の形状の導電層419～422がn型を付与する不純物元素に対するマスクとなり、自己整合的にソース領域434～437、ドレイン領域438～441、Lov領域442～445が形成される。またマスク433によってLoff領域446が形成される。ソース領域434～437、ドレイン領域438～441には $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atomic/cm}^3$ の濃度範囲でn型を付与する不純物元素を添加する。

【0123】

本実施例はマスク433のサイズを制御することで、Loff領域446の長さを自由に設定することが可能である。

【0124】

なお本明細書において、ゲート絶縁膜を介してゲート電極と重なるLDD領域をLov領域と呼ぶ。またゲート絶縁膜を介してゲート電極と重ならないLDD領域をLoff領域と呼ぶ。

【0125】

n型を付与する不純物元素は、L o f f 領域で $1 \times 10^{17} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ の濃度となるようにし、L o v 領域で $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ の濃度となるようにする。

【 0 1 2 6 】

なお図 6 (B) において、上述したような条件で n 型を付与する不純物元素をドーピングする前または後に、半導体層 4 0 4 上にマスク 4 3 3 を形成した状態で加速電圧を 7 0 ~ 1 2 0 k e V とし n 型を付与する不純物元素をドーピングしても良い。上記工程によって、スイッチング用 T F T の L o f f 領域となる部分 4 4 6 の n 型を付与する不純物元素の濃度を抑えつつ、駆動回路に用いられる T F T の L o v 領域となる部分 4 4 2、4 4 3 の n 型を付与する不純物元素の濃度を高めることができる。スイッチング用 T F T の L o f f 領域となる部分 4 4 6 の n 型を付与する不純物元素の濃度を抑えることで、スイッチング用 T F T のオフ電流を提言することが可能である。また駆動回路に用いられる n チャネル型 T F T の L o v 領域となる部分 4 4 3 の n 型を付与する不純物元素の濃度を高めることで、ホットキャリア効果による、ドレイン近傍の高電界によって発生したホットキャリアが劣化現象を引き起こすのを防ぐことができる。

【 0 1 2 7 】

そして、マスク 4 5 3 を除去した後、図 6 (C) に示すように、p チャネル型 T F T を形成する半導体層 4 0 2、4 0 5 に一導電型とは逆の導電型のソース領域 4 4 7、4 4 8 と、ドレイン領域 4 4 9、4 5 0 と、L o v 領域 4 5 1、4 5 2 を形成する。第 2 の形状を有する導電層 4 1 9、4 2 2 を不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、n チャネル型 T F T を形成する半導体層 4 0 2、4 0 3 はレジストマスク 4 5 3 で全面を被覆しておく。ソース領域 4 4 7、4 4 8 及びドレイン領域 4 4 9、4 5 0 と、L o v 領域 4 5 1、4 5 2 とにはそれぞれ異なる濃度でリンが添加されているが、ジボラン (B_2H_6) を用いたイオンドープ法で形成し、そのいずれの領域においても不純物濃度を $2 \times 10^{20} \sim 2 \times 10^{21} \text{ atoms/cm}^3$ となるようにする。

【 0 1 2 8 】

以上までの工程でそれぞれの半導体層 4 0 2 ~ 4 0 5 に不純物領域 (ソース領

域、ドレイン領域、L o v 領域、L o f f 領域）が形成される。半導体層と重なる第2の導電層4 1 9～4 2 2がゲート電極として機能する。

【0 1 2 9】

こうして導電型の制御を目的として、それぞれの半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法（RTA法）を適用することができる。熱アニール法では酸素濃度が1 p p m以下、好ましくは0. 1 p p m以下の窒素雰囲気中で4 0 0～7 0 0℃、代表的には5 0 0～6 0 0℃で行うものであり、本実施例では5 0 0℃で4時間の熱処理を行う。ただし、4 1 9～4 2 2に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜（シリコンを主成分とする）を形成した後で活性化を行うことが好ましい。

【0 1 3 0】

さらに、3～1 0 0 %の水素を含む雰囲気中で、3 0 0～4 5 0℃で1～1 2時間の熱処理を行い、半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0 1 3 1】

次いで、第1の層間絶縁膜4 5 5は酸化窒化シリコン膜から1 0 0～2 0 0 n mの厚さで形成する。（図7（A））その上に有機絶縁物材料から成る第2の層間絶縁膜4 5 8を形成する。

【0 1 3 2】

そして、ゲート絶縁膜4 0 6、第1の層間絶縁膜4 5 5、第2の層間絶縁膜4 5 8にコンタクトホールを形成し、該コンタクトホールを介して、ソース領域4 4 7、4 3 5、4 3 6、4 4 8と接するようにソース配線4 5 9～4 6 2を形成した。また同様に、ドレイン領域4 4 9、4 3 9、4 4 0、4 5 0と接するドレイン配線4 6 3～4 6 5を形成する（図7（B））。

【0 1 3 3】

なお、ゲート絶縁膜 4 0 6、第 1 の層間絶縁膜 4 5 5、第 2 の層間絶縁膜 4 5 8 が SiO_2 膜または SiON 膜の場合、 CF_4 と O_2 とを用いたドライエッチングでコンタクトホールを形成するのが好ましい。またゲート絶縁膜 4 0 6、第 1 の層間絶縁膜 4 5 5、第 2 の層間絶縁膜 4 5 8 が有機樹脂膜の場合、 CHF_3 を用いたドライエッチング、または BHF （緩衝フッ酸： $\text{HF} + \text{NH}_4\text{F}$ ）でコンタクトホールを形成するのが好ましい。またゲート絶縁膜 4 0 6、第 1 の層間絶縁膜 4 5 5、第 2 の層間絶縁膜 4 5 8 が異なる材料で形成されている場合、膜ごとにエッチングの方法及び用いるエッチャントやエッチングガスの種類を変えることが好ましいが、エッチングの方法及び用いるエッチャントやエッチングガスを全て同じにしてコンタクトホールを形成しても良い。

【 0 1 3 4 】

次に、有機樹脂からなる第 3 層間絶縁膜 4 6 7 を形成する。有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）等を使用することができる。特に、第 3 層間絶縁膜 4 6 7 は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例では TFT によって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは $1 \sim 5 \mu\text{m}$ （さらに好ましくは $2 \sim 4 \mu\text{m}$ ）とすれば良い。

【 0 1 3 5 】

次に第 3 層間絶縁膜 4 6 7 に、ドレイン配線 4 6 5 に達するコンタクトホールを形成し、画素電極となる画素電極用の導電膜を形成し、パターニングすることで画素電極 4 6 6 を形成する（図 7（C））。本実施例では酸化インジウム・スズ（ITO）膜を 110 nm の厚さに形成し、パターニングすることで画素電極 4 6 6 を形成した。また、酸化インジウムに $2 \sim 20\%$ の酸化亜鉛（ZnO）を混合した材料を画素電極 4 6 6 に用いても良い。また酸化亜鉛（ZnO）からなる膜でも良いし、酸化スズ（ In_2O_3 ）からなる膜でも良い。この画素電極 4 6 6 が EL 素子の陽極となる。

【 0 1 3 6 】

次に画素電極 4 6 6 に接するように、前記第 3 層間絶縁膜 4 6 7 上に検査用導電膜 4 6 8 を形成する。検査用導電膜 4 6 8 は画素部の全ての画素電極 4 6 6 を

電氣的に接続する。なお検査用導電膜 4 6 8 は画素部にのみ形成し、ソース信号線駆動回路やゲート信号線駆動回路などを含む駆動部には形成しないことが重要である。本実施例では検査用導電膜 4 6 8 として、ポリアセチレンからなる 2 0 0 μ m の厚さの検査用導電膜 4 6 8 を、メタルマスクを用いて形成した。

【0 1 3 7】

なお本発明において検査用導電膜 4 6 8 は、画素電極 4 6 6 以外の配線や T F T とショートしないようにすることが必要であり、本実施例では第 3 層間絶縁膜 4 6 7 上に形成することで防いでいる。

【0 1 3 8】

図 7 (C) の状態で、本発明の検査方法により各画素が選択され、導電膜 4 6 7 を流れる電流の値が測定される。

【0 1 3 9】

測定後、検査用導電膜 4 6 8 を溶剤で除去する。(図 8 (A))

【0 1 4 0】

次に、樹脂材料でなる第 1 バンク 4 6 9 及び第 2 バンク 4 7 0 を形成する。第 1 バンク 4 6 9 及び第 2 バンク 4 7 0 は後に形成される E L 層及び陰極を隣り合う画素間で分離するために設けられる。よって第 1 バンク 4 6 9 よりも第 2 バンク 4 7 0 の方が横に張り出している構成にすることが望ましい。なお第 1 バンク 4 6 9 と第 2 バンク 4 7 0 とを合わせた厚さは 1 ~ 2 μ m 程度であることが好ましいが、後に形成される E L 層及び陰極を隣り合う画素間で分離することができるならこの厚さに限らない。また第 1 バンク 4 6 9 及び第 2 バンク 4 7 0 は絶縁膜で形成されることが必要であり、例えば酸化物、樹脂等で形成することが可能である。そして第 1 バンク 4 6 9 と第 2 バンク 4 7 0 は互いに同じ材料で形成されていても、異なる材料で形成されていてもどちらでも良い。第 1 バンク 4 6 9 及び第 2 バンク 4 7 0 は画素と画素との間にストライプ状に形成される。第 1 バンク 4 6 9 及び第 2 バンク 4 7 0 はソース配線 (ソース信号線) 上に沿って形成しても良いし、ゲート配線 (ゲート信号線) 上に沿って形成しても良い。なお第 1 バンク 4 6 9 及び第 2 バンク 4 7 0 を樹脂に顔料等を混ぜたもので形成しても良い。

【 0 1 4 1 】

次に、E L 層 4 7 1 及び陰極 (M g A g 電極) 4 7 2 を、真空蒸着法を用いて大気解放しないで連続形成する。なお、E L 層 4 7 1 の膜厚は 8 0 0 ~ 2 0 0 n m (典型的には 1 0 0 ~ 1 2 0 n m)、陰極 4 7 2 の厚さは 1 8 0 ~ 3 0 0 n m (典型的には 2 0 0 ~ 2 5 0 n m) とすれば良い。なお、本実施例では一画素しか図示されていないが、このとき同時に赤色に発光する E L 層、緑色に発光する E L 層及び青色に発光する E L 層が形成される。なおバンク 4 7 0 上に E L 層と陰極を形成する材料が一部積層されるが、本明細書ではこれらを E L 層 4 7 1 と陰極 4 7 2 に含めない。

【 0 1 4 2 】

この工程では、赤色に対応する画素、緑色に対応する画素及び青色に対応する画素に対して順次 E L 層 4 7 1 及び陰極 4 7 2 を形成する。但し、E L 層 4 7 1 は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的に E L 層 4 7 1 及び陰極 4 7 2 を形成するのが好ましい。

【 0 1 4 3 】

即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光の E L 層及び陰極を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光の E L 層及び陰極を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光の E L 層及び陰極を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。また、全画素に E L 層及び陰極を形成するまで真空を破らずに処理することが好ましい。

【 0 1 4 4 】

なお、本実施例では E L 層 4 7 1 を発光層のみからなる単層構造とするが、E L 層は発光層の他に正孔輸送層、正孔注入層、電子輸送層、電子注入層等を有していても構わない。このように組み合わせは既に様々な例が報告されており、そのいずれの構成を用いても構わない。E L 層 4 7 1 としては公知の材料を用いる

ことができる。公知の材料としては、E L 駆動電圧を考慮すると有機材料を用いるのが好ましい。また、本実施例ではE L 素子の陰極としてM g A g 電極を用いた例を示すが、公知の他の材料を用いることが可能である。

【0 1 4 5】

こうして図 8 (B) に示すような構造のアクティブマトリクス基板が完成する。なお、第 1 バンク 4 6 9 と第 2 バンク 4 7 0 を形成した後、陰極 4 7 2 を形成するまでの工程をマルチチャンバー方式（またはインライン方式）の薄膜形成装置を用いて、大気解放せずに連続的に処理することは有効である。

【0 1 4 6】

本実施例において、スイッチング用 T F T 5 0 1 の半導体層は、ソース領域 5 0 4、ドレイン領域 5 0 5、L o f f 領域 5 0 6、L o v 領域 5 0 7、チャネル形成領域 5 0 8 を含んでいる。L o f f 領域 5 0 6 はゲート絶縁膜 4 0 6 を介してゲート電極 4 2 1 と重ならないように設けられている。また L o v 領域 5 0 7 はゲート絶縁膜 4 0 6 を介してゲート電極 4 2 1 と重なるように設けられている。このような構造はオフ電流を低減する上で非常に効果的である。

【0 1 4 7】

また、本実施例ではスイッチング用 T F T 5 0 1 はシングルゲート構造としているが、本発明ではスイッチング用 T F T はダブルゲート構造やその他のマルチゲート構造を有していても良い。ダブルゲート構造とすることで実質的に二つの T F T が直列された構造となり、オフ電流をさらに低減することができるという利点がある。

【0 1 4 8】

また本実施例ではスイッチング用 T F T 5 0 1 は n チャネル型 T F T であるが、p チャネル型 T F T であってもかまわない。

【0 1 4 9】

E L 駆動用 T F T 5 0 2 の半導体層は、ソース領域 5 1 0、ドレイン領域 5 1 1、L o v 領域 5 1 2、チャネル形成領域 5 1 3 を含んでいる。L o v 領域 5 1 2 はゲート絶縁膜 4 0 6 を介してゲート電極 4 2 2 と重なるように設けられている。なお本実施例において E L 駆動用 T F T 5 0 2 は L o f f 領域を有していな

いが、L o f f 領域を有する構成にしても良い。

【 0 1 5 0 】

また本実施例ではE L 駆動用T F T 5 0 2 は p チャネル型T F T であるが、 n チャネル型T F T であってもかまわない。

【 0 1 5 1 】

まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有するT F T を、駆動回路部を形成するC M O S 回路の n チャネル型T F T 5 0 3 として用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、サンプリング回路（サンプル及びホールド回路）などが含まれる。デジタル駆動を行う場合には、D / A コンバータなどの信号変換回路も含まれ得る。

【 0 1 5 2 】

本実施例の場合、C M O S 回路の n チャネル型T F T 5 0 3 の半導体層は、ソース領域 5 2 1、ドレイン領域 5 2 2、L o v 領域 5 2 3 及びチャネル形成領域 5 2 4 を含んでいる。

【 0 1 5 3 】

また本実施例の場合、C M O S 回路の p チャネル型T F T 5 0 4 の半導体層は、ソース領域 5 3 1、ドレイン領域 5 3 2、L o v 領域 5 3 3 及びチャネル形成領域 5 3 4 を含んでいる。

【 0 1 5 4 】

なお、実際には図 8（B）まで完成したら、さらに外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（ラミネートフィルム、紫外線硬化樹脂フィルム等）や透光性のシーリング材でパッケージング（封入）することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料（例えば酸化バリウム）を配置したりするとE L 素子の信頼性が向上する。

【 0 1 5 5 】

また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ（フレキシブルプリントサーキット：F P C）を取り付けて製品として完成す

る。このような出荷できるまでした状態を本明細書中ではE L表示装置（E Lディスプレイ）という。

【 0 1 5 6 】

上述したように本実施例の作製行程では、ゲート電極のチャネル長方向の長さ（以下単にゲート電極の幅と呼ぶ）が異なっているため、ゲート電極をマスクとしてイオン注入を行うことにより、ゲート電極の厚さが異なることによるイオンの侵入深さの違いを利用して、第1のゲート電極の下に位置する半導体層中のイオン濃度を、第1のゲート電極の下に位置しない半導体層中のイオン濃度より低くすることが可能である。

【 0 1 5 7 】

またマスクを用いてL o f f領域を形成するために、エッチングで制御しなくてはならないのはL o v領域の幅のみであり、L o f f領域とL o v領域の位置の制御が容易である。

【 0 1 5 8 】

なお本実施例ではE L層から発せられる光が基板側に向いている例について説明したが、本発明はこれに限定されず、E L層から発せられる光が基板の上に向いているような構成であっても良い。この場合E L素子の陰極が画素電極となり、E L駆動用T F Tはnチャネル型T F Tであることが望ましい。

【 0 1 5 9 】

本発明の検査方法は、本実施例において示したE Lディスプレイに限定されることはなく、他のあらゆるE Lディスプレイに用いることが可能である。

【 0 1 6 0 】

なお本実施例は実施例1、2と自由に組み合わせることが可能である。

【 0 1 6 1 】

（実施例4）

本実施例では、本発明の検査方法によって良品と判断されたE Lパネルを用いて、E Lディスプレイを作製した例について説明する。なお、図13（A）は本実施例のE Lディスプレイの上面図であり、図13（B）はその断面図である。

【 0 1 6 2 】

図 1 3 (A)、(B)において、4 0 0 1 は基板、4 0 0 2 は画素部、4 0 0 3 はソース信号線駆動回路、4 0 0 4 はゲート信号線駆動回路であり、それぞれの駆動回路は配線 4 0 0 5 を経て F P C (フレキシブルプリントサーキット) 4 0 0 6 に至り、外部機器へと接続される。

【 0 1 6 3 】

このとき、画素部 4 0 0 2、ソース信号線駆動回路 4 0 0 3 及びゲート信号線駆動回路 4 0 0 4 を囲むようにして第 1 シール材 4 1 0 1、カバー材 4 1 0 2、充填材 4 1 0 3 及び第 2 シール材 4 1 0 4 が設けられている。

【 0 1 6 4 】

図 1 3 (B) は図 1 3 (A) を A - A' で切断した断面図に相当し、基板 4 0 0 1 の上にソース信号線駆動回路 4 0 0 3 に含まれる駆動 T F T (但し、ここでは n チャネル型 T F T と p チャネル型 T F T を図示している。) 4 2 0 1 及び画素部 4 0 0 2 に含まれる E L 駆動用 T F T (E L 素子への電流を制御する T F T) 4 2 0 2 が形成されている。

【 0 1 6 5 】

本実施例では、駆動 T F T 4 2 0 1 には公知の方法で作製された p チャネル型 T F T または n チャネル型 T F T が用いられ、E L 駆動用 T F T 4 2 0 2 には公知の方法で作製された p チャネル型 T F T が用いられる。また、画素部 4 0 0 2 には E L 駆動用 T F T 4 2 0 2 のゲート電極に接続されたコンデンサ (図示せず) が設けられる。

【 0 1 6 6 】

駆動 T F T 4 2 0 1 及び画素 T F T 4 2 0 2 の上には樹脂材料でなる層間絶縁膜 (平坦化膜) 4 3 0 1 が形成され、その上に画素 T F T 4 2 0 2 のドレインと電氣的に接続する画素電極 (陽極) 4 3 0 2 が形成される。本実施例では、画素電極 4 3 0 2 として仕事関数の大きい導電膜が用いられる。導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記導電膜にガリウムを添加したものをを用いても良い。

【 0 1 6 7 】

そして、画素電極 4 3 0 2 の上には絶縁膜 4 3 0 3 が形成され、絶縁膜 4 3 0 3 は画素電極 4 3 0 2 の上に開口部が形成されている。この開口部において、画素電極 4 3 0 2 の上には E L (エレクトロルミネッセンス) 層 4 3 0 4 が形成される。E L 層 4 3 0 4 は公知の有機 E L 材料または無機 E L 材料を用いることができる。また、有機 E L 材料には低分子系 (モノマー系) 材料と高分子系 (ポリマー系) 材料があるがどちらを用いても良い。

【 0 1 6 8 】

E L 層 4 3 0 4 の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、E L 層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

【 0 1 6 9 】

E L 層 4 3 0 4 の上には遮光性を有する導電膜 (代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜) からなる陰極 4 3 0 5 が形成される。また、陰極 4 3 0 5 と E L 層 4 3 0 4 の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、真空中で両者を連続成膜するか、E L 層 4 3 0 4 を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極 4 3 0 5 を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式 (クラスターツール方式) の成膜装置を用いることで上述のような成膜を可能とする。

【 0 1 7 0 】

そして陰極 4 3 0 5 は 4 3 0 6 で示される領域において配線 4 0 0 5 に電氣的に接続される。配線 4 0 0 5 は陰極 4 3 0 5 に所定の電圧を与えるための配線であり、異方導電性フィルム 4 3 0 7 を介して F P C 4 0 0 6 に電氣的に接続される。

【 0 1 7 1 】

以上のようにして、画素電極 (陽極) 4 3 0 2、E L 層 4 3 0 4 及び陰極 4 3 0 5 からなる E L 素子が形成される。この E L 素子は、第 1 シール材 4 1 0 1 及び第 1 シール材 4 1 0 1 によって基板 4 0 0 1 に貼り合わされたカバー材 4 1 0 2 で囲まれ、充填材 4 1 0 3 により封入されている。

【 0 1 7 2 】

カバー材 4 1 0 2 としては、ガラス材、金属材（代表的にはステンレス材）、セラミックス材、プラスチック材（プラスチックフィルムも含む）を用いることができる。プラスチック材としては、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【 0 1 7 3 】

但し、EL素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【 0 1 7 4 】

また、充填材 4 1 0 3 としては紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。この充填材 4 1 0 3 の内部に吸湿性物質（好ましくは酸化バリウム）もしくは酸素を吸着しうる物質を設けておくとEL素子の劣化を抑制できる。

【 0 1 7 5 】

また、充填材 4 1 0 3 の中にスペーサを含有させてもよい。このとき、スペーサを酸化バリウムで形成すればスペーサ自体に吸湿性をもたせることが可能である。また、スペーサを設けた場合、スペーサからの圧力を緩和するバッファ層として陰極 4 3 0 5 上に樹脂膜を設けることも有効である。

【 0 1 7 6 】

また、配線 4 0 0 5 は異方導電性フィルム 4 3 0 7 を介してFPC 4 0 0 6 に電氣的に接続される。配線 4 0 0 5 は画素部 4 0 0 2、ソース信号線駆動回路 4 0 0 3 及びゲート信号線駆動回路 4 0 0 4 に送られる信号をFPC 4 0 0 6 に伝え、FPC 4 0 0 6 により外部機器と電氣的に接続される。

【0177】

また、本実施例では第1シール材4101の露呈部及びFPC4006の一部を覆うように第2シール材4104を設け、EL素子を徹底的に外気から遮断する構造となっている。こうして図13（B）の断面構造を有するELディスプレイとなる。

【0178】

（実施例5）

本実施例では、本発明を実施したELディスプレイの画素構造の例を図14に示す。なお、本実施例において、4701はスイッチング用TFT4702のソース配線を含むソース信号線、4703はスイッチング用TFT4702のゲート電極を含むゲート信号線、4704はEL駆動用TFT、4705はコンデンサ（省略することも可能）、4706は電源供給線、4707は電源制御用TFT、4708は電源制御用ゲート配線、4709はEL素子とする。電源制御用TFT4707の動作については特願平11-341272号を参照すると良い。

【0179】

また、本実施例では電源制御用TFT4707をEL駆動用TFT4704とEL素子4708との間に設けているが、電源制御用TFT4707とEL素子4708との間にEL駆動用TFT4704が設けられた構造としても良い。また、電源制御用TFT4707はEL駆動用TFT4704と同一構造とするか、同一の活性層で直列させて形成するのが好ましい。

【0180】

また、図14（A）は、二つの画素間で電源供給線4706を共通とした場合の例である。即ち、二つの画素が電源供給線4706を中心に線対称となるように形成されている点に特徴がある。この場合、電源供給線の本数を減らすことができるため、画素部をさらに高精細化することができる。

【0181】

また、図14（B）は、ゲート配線4703と平行に電源供給線4710を設け、ソース信号線4701と平行に電源制御用ゲート配線4711を設けた場合

の例である。なお、図 1 4 (B) では電源供給線 4 7 1 0 とゲート配線 4 7 0 3 とが重ならないように設けた構造となっているが、両者が異なる層に形成される配線であれば、絶縁膜を介して重なるように設けることもできる。この場合、電源供給線 4 7 1 0 とゲート配線 4 7 0 3 とで専有面積を共有させることができるため、画素部をさらに高精細化することができる。

【 0 1 8 2 】

本発明の検査方法は、図 1 4 に示した以外の、様々な構成の画素を有する、あらゆる E L ディスプレイに適用することが可能である。

【 0 1 8 3 】

本実施例は実施例 2 ～ 4 と自由に組み合わせて実施することが可能である。

【 0 1 8 4 】

(実施例 6)

本実施例では、本発明の表示パネルに F P C や T A B 等のコネクタを接続し、実際に製品として出荷することができる形体にした場合について説明する。

【 0 1 8 5 】

1 8 0 1 は本発明の検査方法をパスした画素部であり、複数の画素が設けられている。画素部 1 8 0 1 と、画素部 1 8 0 1 が有する配線を外部へ接続するコネクタとを有するモジュールを本明細書では表示パネル 1 8 0 6 と呼ぶ。

【 0 1 8 6 】

1 8 0 2 はソース信号線駆動回路、1 8 0 3 はゲート信号線駆動回路である。ゲート信号線駆動回路 1 8 0 3 から出力された選択信号によって、ソース信号線駆動回路 1 8 0 2 から出力されたビデオ信号が画素部 1 8 0 1 の指定された画素に入力される。ビデオ信号はデジタルでもアナログでもどちらでも良い。またソース信号線駆動回路 1 8 0 2 とゲート信号線駆動回路 1 8 0 3 はいくつ設けられていても良い。

【 0 1 8 7 】

ソース信号線駆動回路 1 8 0 2 及びゲート信号線駆動回路 1 8 0 3 からなる駆動回路と、画素部 1 8 0 1 と、画素部 1 8 0 1 が有する配線及び駆動回路が有する配線を外部へ接続するコネクタとを有するモジュールを、本明細書では駆動

回路付表示パネル 1 8 0 7 と呼ぶ。駆動回路付表示パネル 1 8 0 7 は表示パネル 1 8 0 6 に駆動回路を付けたものである。

【 0 1 8 8 】

駆動回路付表示パネル 1 8 0 7 は、駆動回路と画素部 1 8 0 1 とが別の基板上に設けられ F P C や T A B 等のコネクタにより接続されている場合と、駆動回路と画素部 1 8 0 1 とが同じ基板上に設けられている場合とがある。本明細書では、前者を駆動回路外付型駆動回路付表示パネルと呼び、後者を駆動回路一体形成型駆動回路付表示パネルと呼ぶ。

【 0 1 8 9 】

図 1 7 (A) に駆動回路外付け型駆動回路付表示パネルの上面図を示す。基板 1 8 1 0 上に画素部 1 8 0 1 が設けられており、画素部 1 8 0 1 が有する配線は F P C 1 8 1 1 を介して、外付用基板 1 8 1 2 上に設けられたソース信号線駆動回路 1 8 0 2 とゲート信号線駆動回路 1 8 0 3 とに接続されている。そして外部接続用 F P C 1 8 1 2 により、ソース信号線駆動回路 1 8 0 2 及びゲート信号線駆動回路 1 8 0 3 と、画素部 1 8 0 1 とが有する配線が外部へ接続されている。

【 0 1 9 0 】

図 1 7 (B) に駆動回路一体形成型駆動回路付表示パネルの上面図を示す。基板 1 8 1 0 上に画素部 1 8 0 1 、ソース信号線駆動回路 1 8 0 2 及びゲート信号線駆動回路 1 8 0 3 が設けられている。画素部 1 8 0 1 、ソース信号線駆動回路 1 8 0 2 及びゲート信号線駆動回路 1 8 0 3 が有する配線は外部接続用 F P C 1 8 1 2 を介して、外部へ接続されている。

【 0 1 9 1 】

図 1 8 において、1 8 0 4 はコントローラーであり、駆動回路を駆動し、画素部に 1 8 0 1 に画像を表示させるための機能を有している。例えば、外部から入力された画像情報を有する信号をソース信号線駆動回路 1 8 0 2 に入力したり、駆動回路が駆動するための信号（例えばクロック信号（C L K）、スタートパルス信号（S P））を生成したり、駆動回路や画素部 1 8 0 1 に電位を供給するための電源としての機能を有している。

【 0 1 9 2 】

駆動回路と、画素部 1 8 0 1 と、コントローラー 1 8 0 4 と、画素部 1 8 0 1、駆動回路、及びコントローラーがそれぞれ有する配線を外部へ接続するコネクタとを有するモジュールを、本明細書ではコントローラー及び駆動回路付表示パネル 1 8 0 8 と呼ぶ。コントローラー及び駆動回路付表示パネル 1 8 0 8 は、表示パネル 1 8 0 6 に駆動回路及びコントローラーを付けたものである。

【 0 1 9 3 】

1 8 0 5 はマイコンであり、コントローラーの駆動を制御している。マイコン 1 8 0 5 と、駆動回路と、画素部 1 8 0 1 と、コントローラー 1 8 0 4 と、画素部 1 8 0 1、駆動回路、及びコントローラーがそれぞれ有する配線を外部へ接続するコネクタとを有するモジュールを、本明細書ではマイコン及びコントローラー及び駆動回路付表示パネル 1 8 0 9 と呼ぶ。マイコン及びコントローラー及び駆動回路付表示パネル 1 8 0 9 は、表示パネル 1 8 0 6 に駆動回路及びコントローラーを付けたものである。

【 0 1 9 4 】

なお実際には、表示パネル 1 8 0 6、駆動回路付表示パネル 1 8 0 7、コントローラー及び駆動回路付表示パネル 1 8 0 8 またはマイコン及びコントローラー及び駆動回路付表示パネル 1 8 0 9 の形体で製品として出荷される。本明細書において、表示パネル 1 8 0 6、駆動回路付表示パネル 1 8 0 7、コントローラー及び駆動回路付表示パネル 1 8 0 8 及びマイコン及びコントローラー及び駆動回路付表示パネル 1 8 0 9 を全て表示用モジュールと呼ぶ。

【 0 1 9 5 】

(実施例 7)

本実施例では、実施例 3 及び実施例 4 で示した構成とは異なる E L 素子を有する画素部の詳しい構成について説明する。

【 0 1 9 6 】

図 1 9 (A) は E L 素子の断面図であり、樹脂に顔料を加えて層間絶縁膜に遮光膜としての機能を加えた遮光膜 1 9 0 1 である。遮光膜 1 9 0 1 上に陽極 1 9 0 2 が設けられており、陽極 1 9 0 2 上に E L 層 1 9 0 3 が設けられている。

【 0 1 9 7 】

EL層1903上にクラスタ1906が設けられており、クラスタ1906を覆ってEL層1903上に透明電極1904が形成されている。透明電極1904上にEL層に酸素または水分が入り込むのを防ぐ効果がある保護膜1905を形成した。

【0198】

クラスタ1906は周期表の1族もしくは2族に属する元素の集合体であり、EL層1903上に点状もしくは塊状に設けられている。図7(A)の構造では、クラスタ1906の仕事関数が電子の注入障壁を決め、クラスタ1906を介してEL層1903に電子が注入される。

【0199】

クラスタ1906はEL層1903上に点在して設けられているため、クラスタ1906の隙間からEL1903から発せられる光を透過することができる。

【0200】

クラスタ1906は、その直径もしくは長径が10～100nm、高さ5～10nmとすることが好ましく、この程度の大きさならばクラスタ1906自体も半透明である。このようなクラスタ1906は、5～10nmといった薄い膜厚を目標として、蒸着法により成膜することで形成することができる。

【0201】

図19(B)は、図19(A)におけるクラスタ1906を、EL層1903上ではなく、陽極1902上に形成した例である。

【0202】

図19(B)において、樹脂に顔料を加えて層間絶縁膜に遮光膜としての機能を加えた遮光膜1901上に透明電極1904が設けられており、透明電極1904上にEL層1903が設けられている。

【0203】

透明電極1904上にクラスタ1906が設けられており、クラスタ1906を覆って透明電極1904上にEL層1903が形成されている。

【0204】

EL層1903上に陽極1902が形成されている。陽極1902は図19(

B) では透明な材料を用いる。陽極 1 9 0 2 上に E L 層に酸素または水分が入り込むのを防ぐ効果がある保護膜 1 9 0 5 を形成した。

【 0 2 0 5 】

クラスタ 1 9 0 6 は周期表の 1 族もしくは 2 族に属する元素の集合体であり、E L 層 1 9 0 3 上に点状もしくは塊状に設けられている。クラスタ 1 9 0 6 は図 1 9 (A) に示したものと同一材料を用いることが可能である。図 1 9 (B) の構造では、クラスタ 1 9 0 6 の仕事関数が電子の注入障壁を決め、クラスタ 1 9 0 6 を介して E L 層 1 9 0 3 へ電子が注入される。

【 0 2 0 6 】

(実施例 8)

本発明の検査方法を適用した E L ディスプレイは、自発光型であるため液晶ディスプレイに比べて明るい場所での視認性に優れ、しかも視野角が広い。従って、様々な電子機器の表示部として用いることが出来る。例えば、T V 放送等を大画面で鑑賞するには対角 3 0 インチ以上（典型的には 4 0 インチ以上）のディスプレイの表示部において本発明の検査方法を適用した E L ディスプレイを用いると良い。

【 0 2 0 7 】

なお、E L ディスプレイには、パソコン用表示装置、T V 放送受信用表示装置、広告表示用表示装置等の全ての情報表示用表示装置が含まれる。また、その他にも様々な電子機器の表示部に本発明の検査方法を用いることが出来る。

【 0 2 0 8 】

その様な本発明の電子機器としては、ビデオカメラ、デジタルカメラ、ゴーグル型表示装置（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはデジタルビデオディスク（D V D）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。特に、斜め方向から見ることの多い携帯情報端末は視野角の広さが重要視されるため、E L ディスプレイを用いる

ことが望ましい。それら電子機器の具体例を図 1 5 および図 1 6 に示す。

【 0 2 0 9 】

図 1 5 (A) は E L ディスプレイであり、筐体 3 3 0 1、支持台 3 3 0 2、表示部 3 3 0 3 等を含む。本発明の検査方法を適用した E L ディスプレイは表示部 3 3 0 3 に用いることが出来る。E L ディスプレイは自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることが出来る。

【 0 2 1 0 】

図 1 5 (B) はビデオカメラであり、本体 3 3 1 1、表示部 3 3 1 2、音声入力部 3 3 1 3、操作スイッチ 3 3 1 4、バッテリー 3 3 1 5、受像部 3 3 1 6 等を含む。本発明の検査方法を適用した E L ディスプレイは表示部 3 3 1 2 にて用いることが出来る。

【 0 2 1 1 】

図 1 5 (C) はヘッドマウント E L ディスプレイの一部 (右片側) であり、本体 3 3 2 1、信号ケーブル 3 3 2 2、頭部固定バンド 3 3 2 3、表示部 3 3 2 4、光学系 3 3 2 5、表示装置 3 3 2 6 等を含む。本発明の検査方法を適用した E L ディスプレイは表示装置 3 3 2 6 にて用いることが出来る。

【 0 2 1 2 】

図 1 5 (D) は記録媒体を備えた画像再生装置 (具体的には D V D 再生装置) であり、本体 3 3 3 1、記録媒体 (D V D 等) 3 3 3 2、操作スイッチ 3 3 3 3、表示部 (a) 3 3 3 4、表示部 (b) 3 3 3 5 等を含む。表示部 (a) 3 3 3 4 は主として画像情報を表示し、表示部 (b) 3 3 3 5 は主として文字情報を表示するが、本発明の検査方法を適用した E L ディスプレイはこれら表示部 (a) 3 3 3 4、表示部 (b) 3 3 3 5 にて用いることが出来る。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【 0 2 1 3 】

図 1 5 (E) はゴーグル型表示装置 (ヘッドマウントディスプレイ) であり、本体 3 3 4 1、表示部 3 3 4 2、アーム部 3 3 4 3 を含む。本発明の検査方法を適用した E L ディスプレイは表示部 3 3 4 2 にて用いることが出来る。

【 0 2 1 4 】

図 1 5 (F) はパーソナルコンピュータであり、本体 3 3 5 1、筐体 3 3 5 2、表示部 3 3 5 3、キーボード 3 3 5 4 等を含む。本発明の検査方法を適用した E L ディスプレイは表示部 3 3 5 3 にて用いることが出来る。

【 0 2 1 5 】

なお、将来的に E L 材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型あるいはリア型のプロジェクターに用いることも可能となる。

【 0 2 1 6 】

また、上記電子機器はインターネットや C A T V (ケーブルテレビ) などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。E L 材料の応答速度は非常に高いため、E L ディスプレイは動画表示に好ましい。

【 0 2 1 7 】

また、E L ディスプレイは発光している部分が電力を消費するため、省消費電力化のためには発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に E L ディスプレイを用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【 0 2 1 8 】

図 1 6 (A) は携帯電話であり、本体 3 4 0 1、音声出力部 3 4 0 2、音声入力部 3 4 0 3、表示部 3 4 0 4、操作スイッチ 3 4 0 5、アンテナ 3 4 0 6 を含む。本発明の検査方法を適用した E L ディスプレイは表示部 3 4 0 4 にて用いることが出来る。なお、表示部 3 4 0 4 は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることが出来る。

【 0 2 1 9 】

図 1 6 (B) は音響再生装置、具体的にはカーオーディオであり、本体 3 4 1 1、表示部 3 4 1 2、操作スイッチ 3 4 1 3、3 4 1 4 を含む。本発明の検査方法を適用した E L ディスプレイは表示部 3 4 1 2 にて用いることが出来る。また、本実施例では車載用オーディオを示すが、携帯型や家庭用の音響再生装置に用

いても良い。なお、表示部 3 4 1 4 は黒色の背景に白色の文字を表示することで消費電力を抑えられる。これは携帯型の音響再生装置において特に有効である。

【0 2 2 0】

図 1 6 (C) はデジタルカメラであり、本体 3 5 0 1、表示部 (A) 3 5 0 2、接眼部 3 5 0 3、操作スイッチ 3 5 0 4、表示部 (B) 3 5 0 5、バッテリー 3 5 0 6 を含む。本発明の検査方法を適用した E L ディスプレイは、表示部 (A) 3 5 0 2、表示部 (B) 3 5 0 5 にて用いることが出来る。また、表示部 (B) 3 5 0 5 を、主に操作用パネルとして用いる場合、黒色の背景に白色の文字を表示することで消費電力を抑えることが出来る。

【0 2 2 1】

また、本実施例にて示した携帯型電子機器においては、消費電力を低減するための方法としては、外部の明るさを感知するセンサ部を設け、暗い場所を使用する際には、表示部の輝度を落とすなどの機能を付加するなどといった方法が挙げられる。

【0 2 2 2】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施例の電子機器は実施例 1 ～実施例 7 に示したいずれの構成を適用しても良い。

【0 2 2 3】

【発明の効果】

本発明の検査方法によって、E L パネルを E L ディスプレイとして完成させなくても、E L パネルが良品か不良品かの区別をつけることが可能になる。よって、実際には製品にならない不良品の E L パネルを E L ディスプレイとして完成させる必要がなくなる。そのため E L 素子を形成する工程と、パッケージングする工程と、コネクタを取り付ける工程とを省くことができ、時間とコストを抑えることができる。また多面取りの基板を用いて E L パネルを形成する場合でも、パッケージングする工程と、コネクタを取り付ける工程とを省くことができ、同様に時間とコストを抑えることができる。

【0 2 2 4】

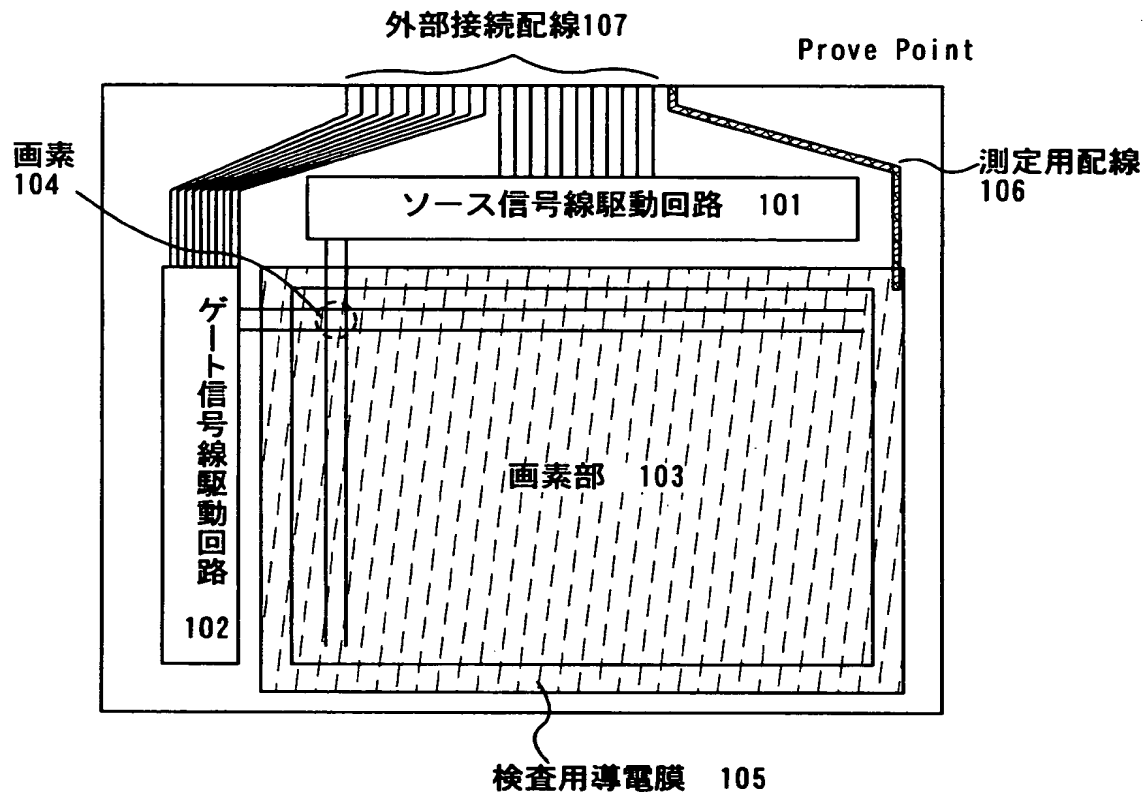
なお本発明の検査方法は、様々な構成を有する画素を含む、あらゆる E L ディスプレイの良品と不良品の区別をつけることが可能である。

【図面の簡単な説明】

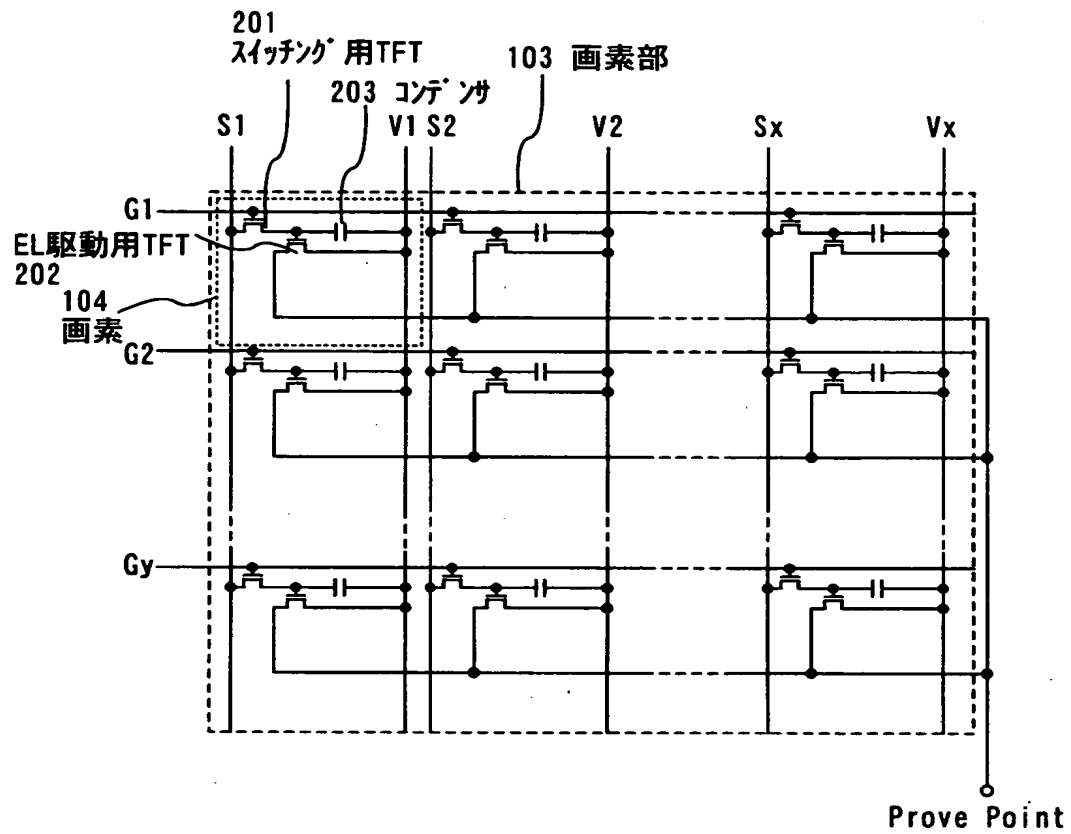
- 【図 1】 本発明の検査方法を適用する E L パネルの上面図。
- 【図 2】 本発明の検査方法を適用する E L パネルの画素部の回路図。
- 【図 3】 画素部の配置パターンと測定値の判断基準を示すグラフ。
- 【図 4】 本発明の検査方法を適用した後の E L パネルの画素部の回路図。
- 【図 5】 本発明の検査方法を適用する E L パネルの作製方法を示す図。
- 【図 6】 本発明の検査方法を適用する E L パネルの作製方法を示す図。
- 【図 7】 本発明の検査方法を適用する E L パネルの作製方法を示す図。
- 【図 8】 本発明の検査方法を適用する E L パネルの作製方法を示す図。
- 【図 9】 本発明の検査方法を適用した後の E L パネルの画素の拡大図と回路図。
- 【図 1 0】 本発明の検査方法を適用する E L パネルの画素部の回路図。
- 【図 1 1】 画素部の配置パターン。
- 【図 1 2】 本発明の検査方法を適用した後の E L パネルの画素部の回路図。
- 【図 1 3】 本発明の検査方法を適用した E L パネルを用いた E L ディスプレイの上面図と断面図。
- 【図 1 4】 本発明の検査方法を適用した E L パネルの画素の回路図。
- 【図 1 5】 本発明の検査方法を適用した E L ディスプレイを用いた電子機器。
- 【図 1 6】 本発明の検査方法を適用した E L ディスプレイを用いた電子機器。
- 【図 1 7】 本発明の検査方法を適用した駆動回路付表示パネルの上面図。
- 【図 1 8】 本発明の検査方法を適用した表示用モジュールを示す図。
- 【図 1 9】 E L 素子の断面図。

【書類名】 図面

【図 1】



【図 2】

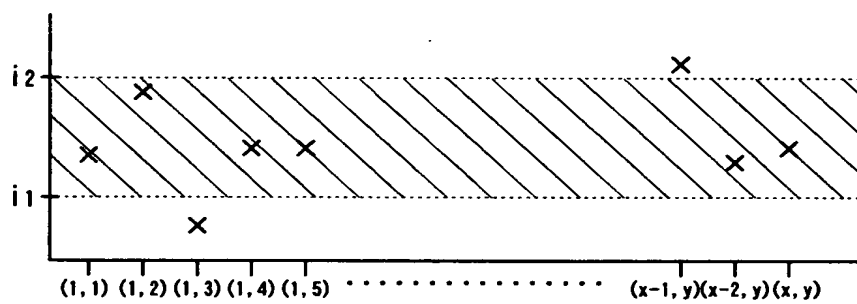


【図 3】

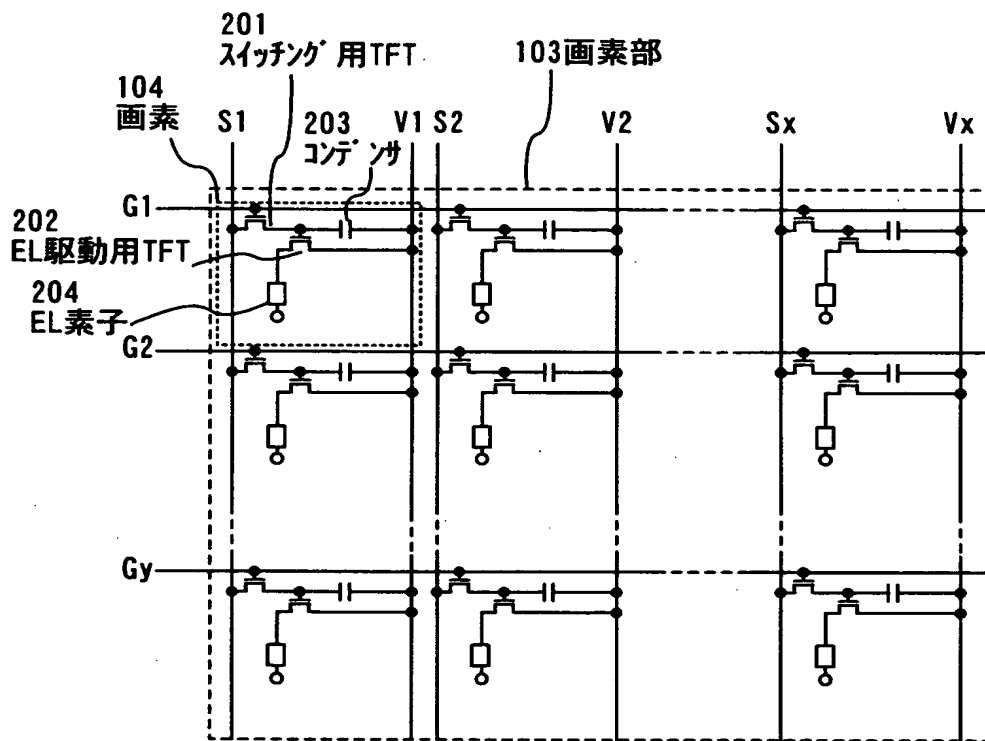
(A)

$(1, 1)$	$(2, 1)$	$(3, 1)$	$(4, 1)$		$(x-1, 1)$	$(x, 1)$
$(1, 2)$	$(2, 2)$	$(3, 2)$	$(4, 2)$		$(x-1, 2)$	$(x, 2)$
$(1, 3)$	$(2, 3)$	$(3, 3)$	$(4, 3)$		$(x-1, 3)$	$(x, 3)$
$(1, 4)$	$(2, 4)$	$(3, 4)$	$(4, 4)$		$(x-1, 4)$	$(x, 4)$
$(1, y-1)$	$(2, y-1)$	$(3, y-1)$	$(4, y-1)$		$(x-1, y-1)$	$(x, y-1)$
$(1, y)$	$(2, y)$	$(3, y)$	$(4, y)$		$(x-1, y)$	(x, y)

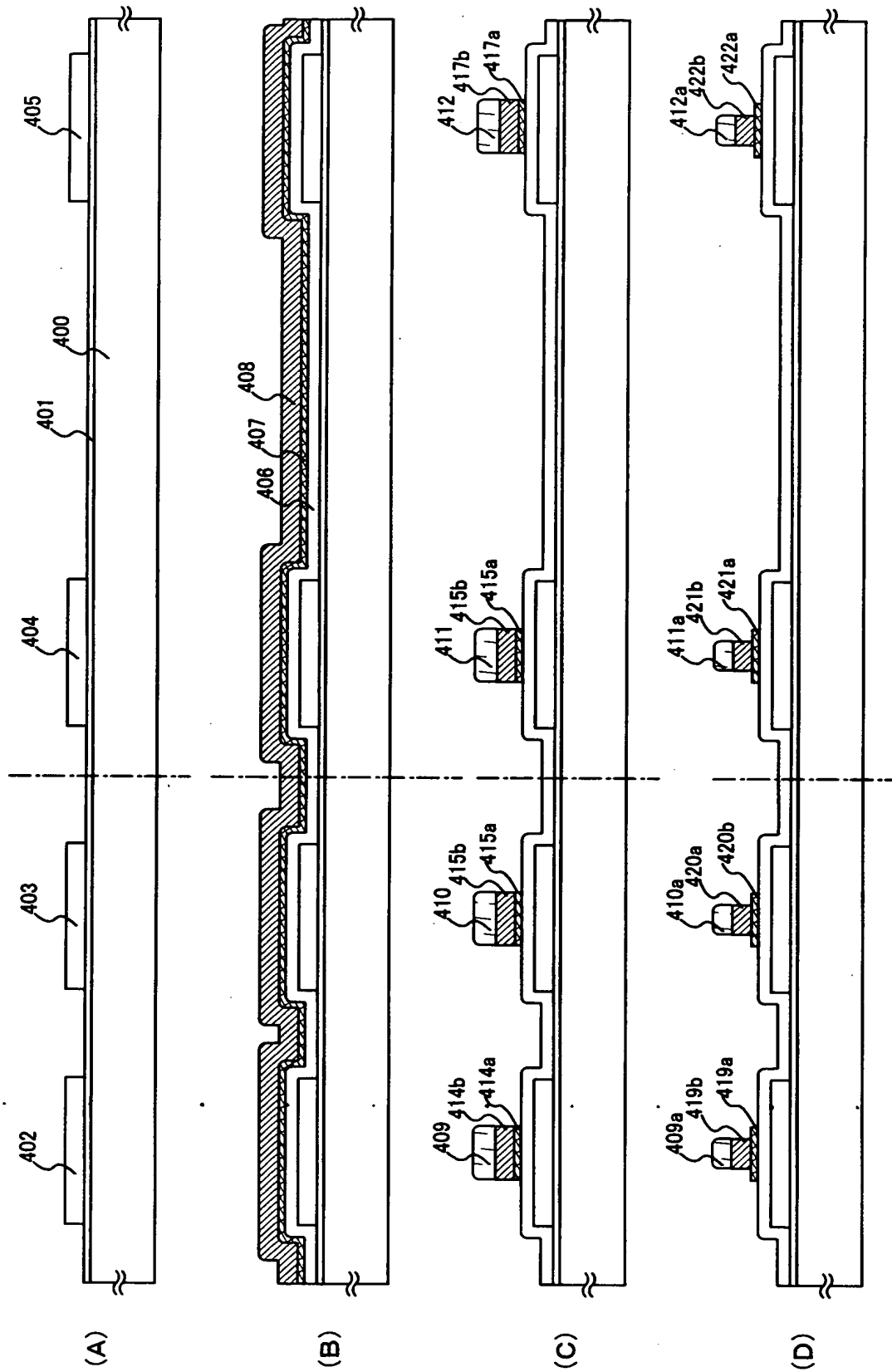
(B)



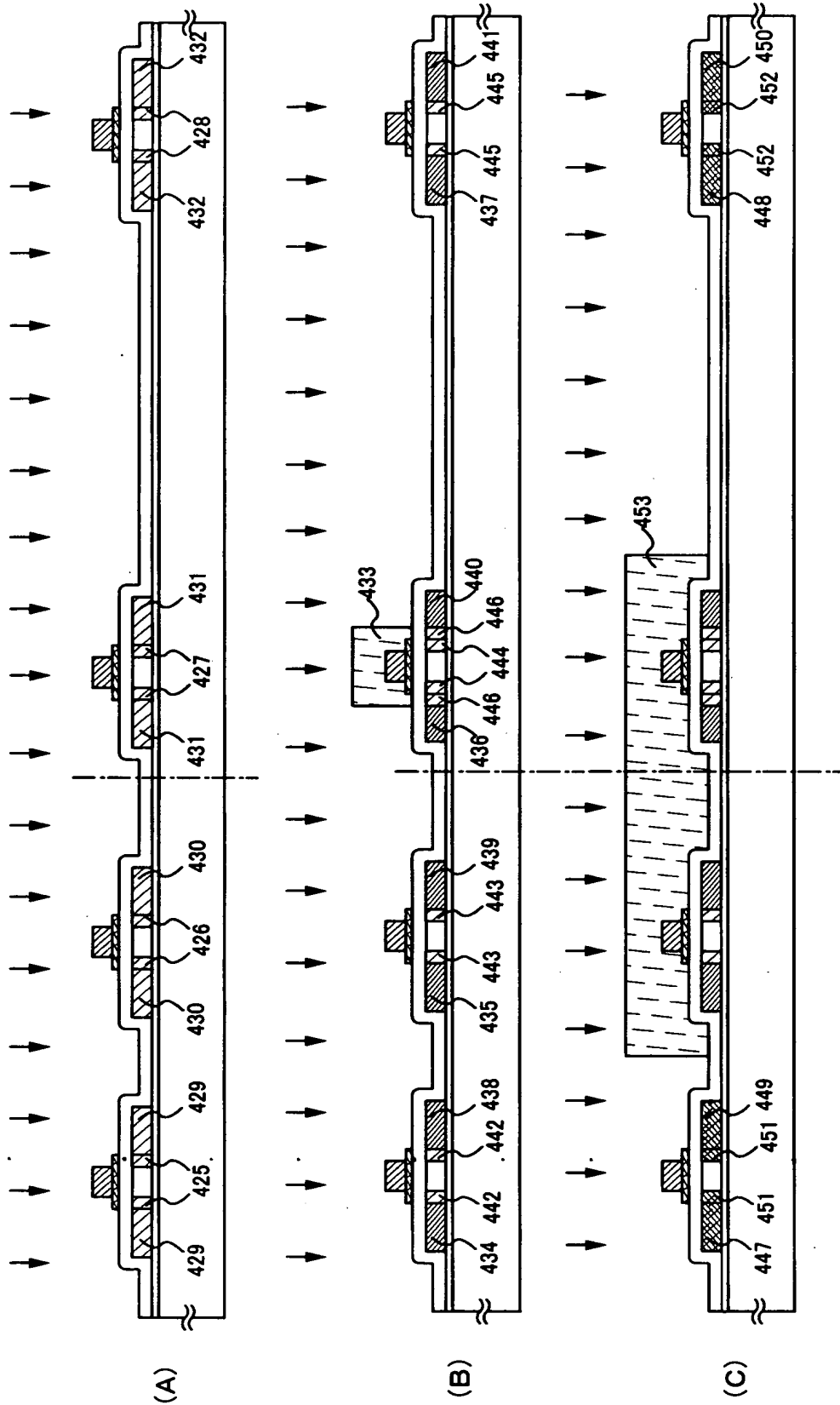
【図 4】



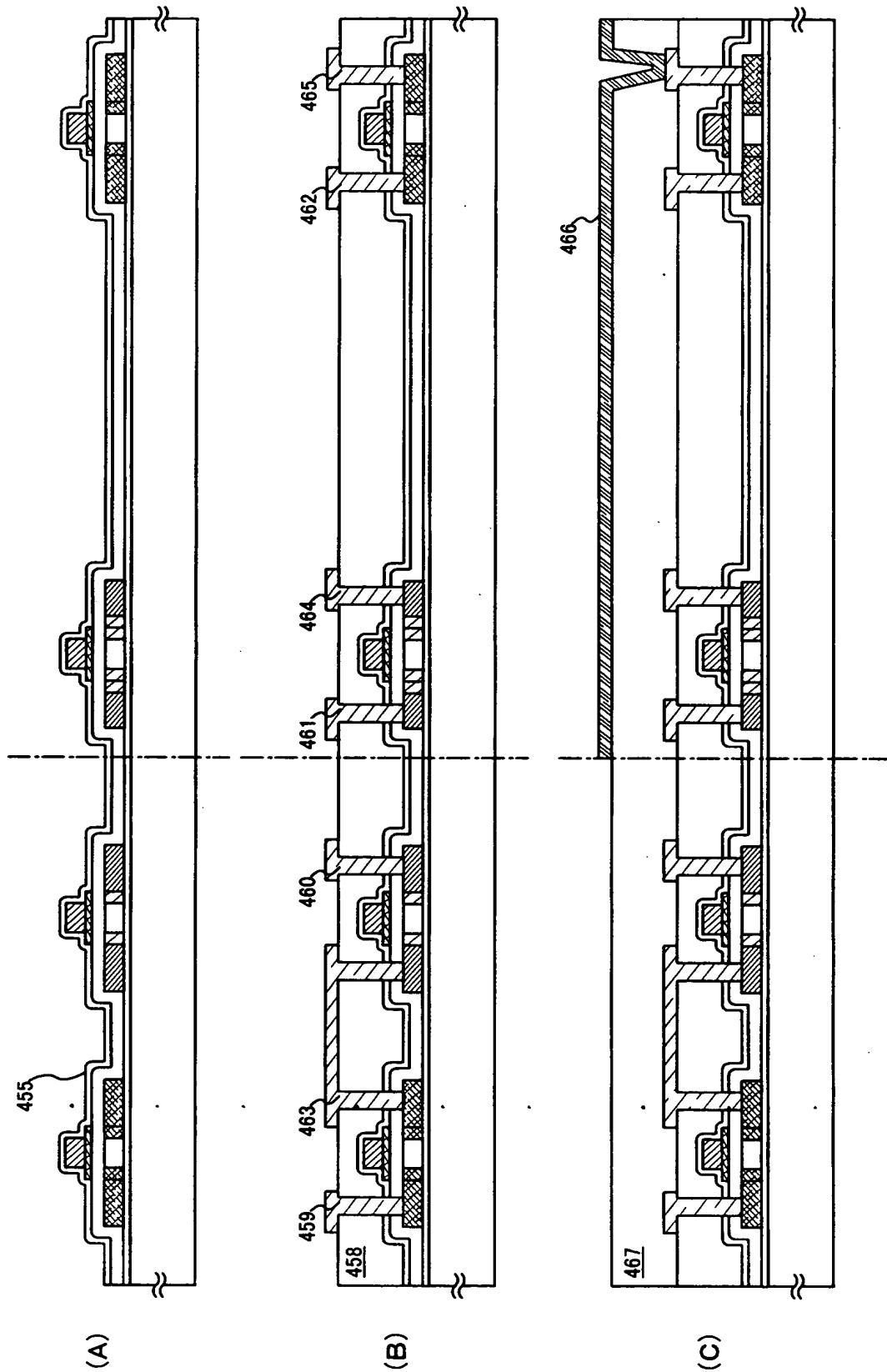
【図 5】



【図 6】

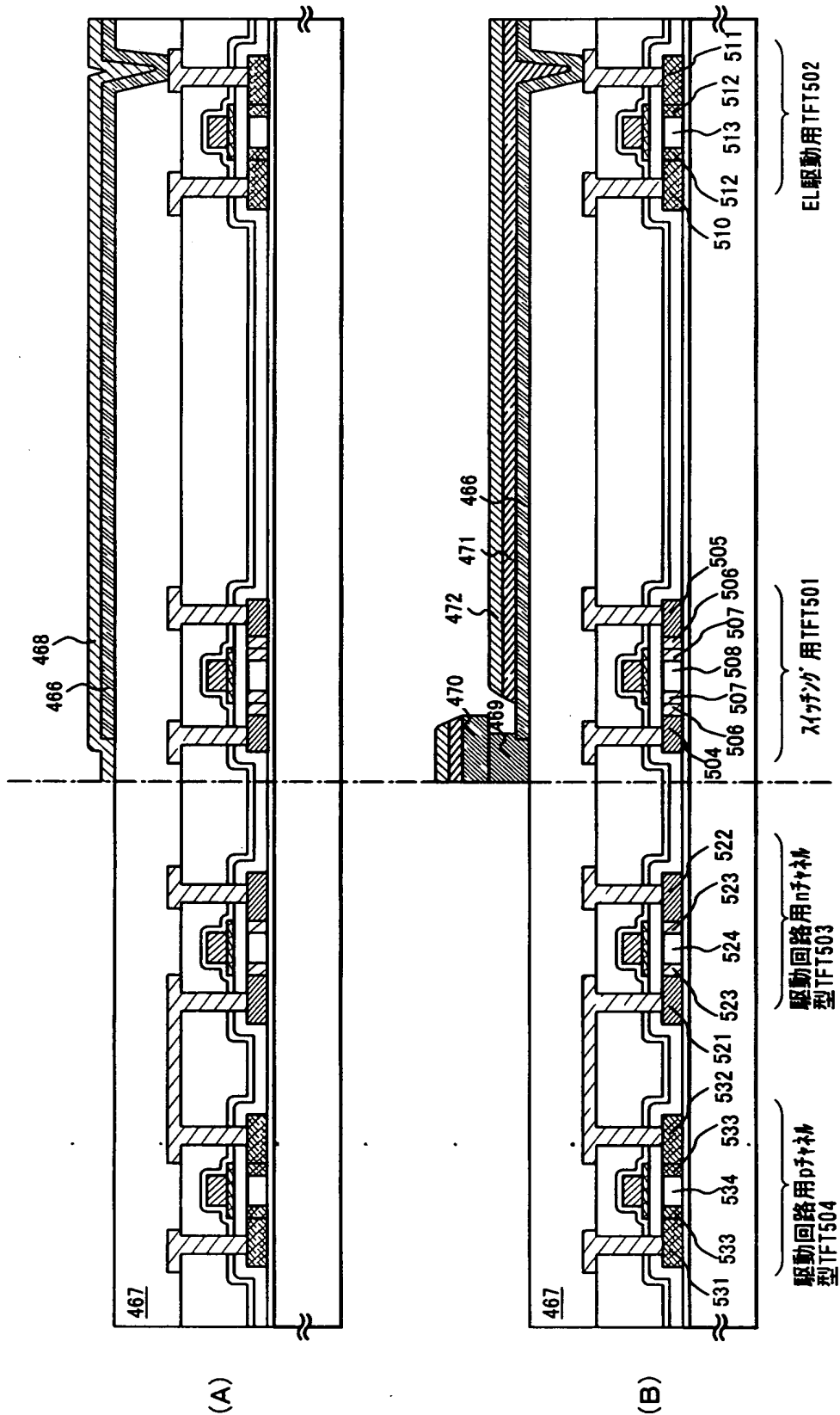


【図 7】



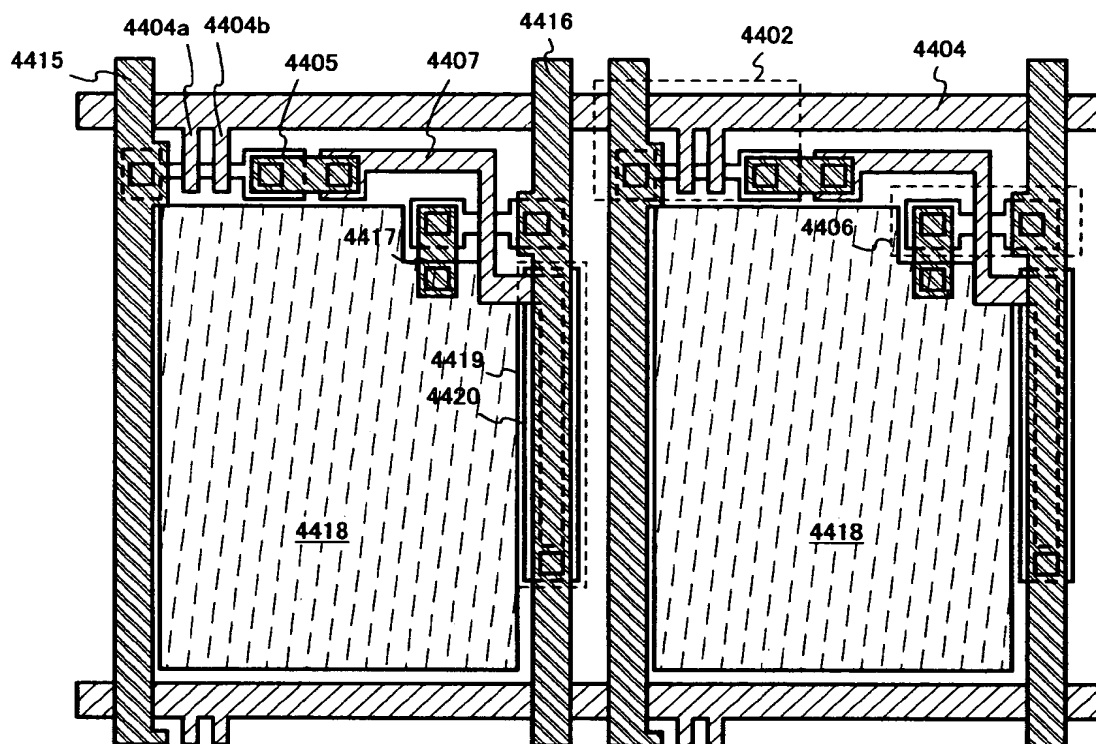
特2000-168214

【図8】

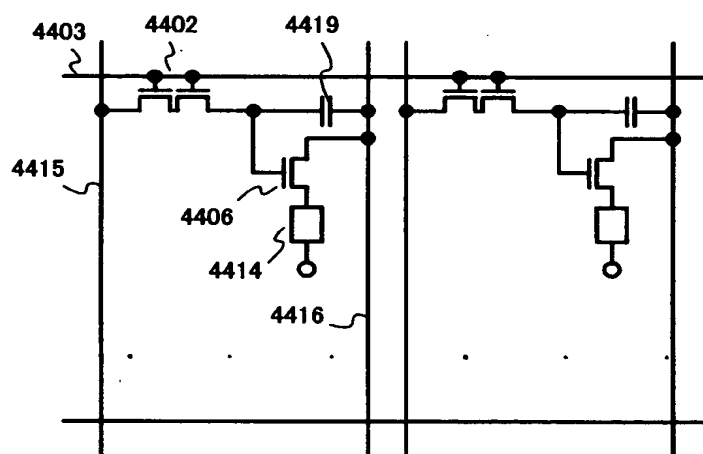


【図 9】

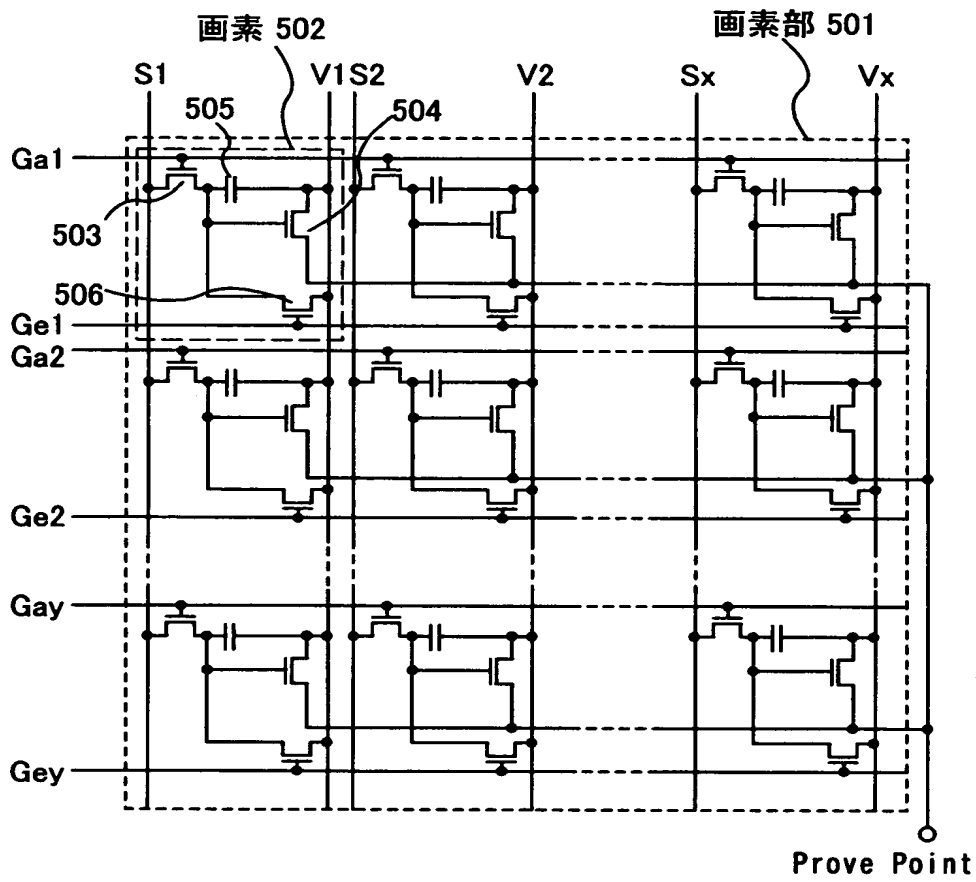
(A)



(B)



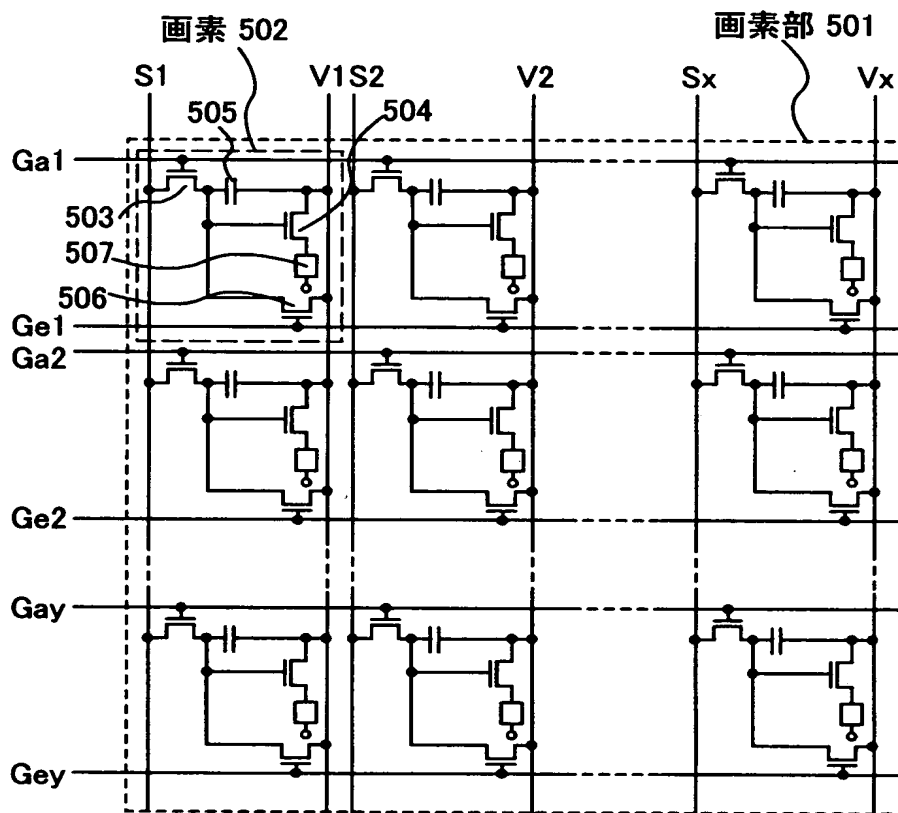
【図 1 0】



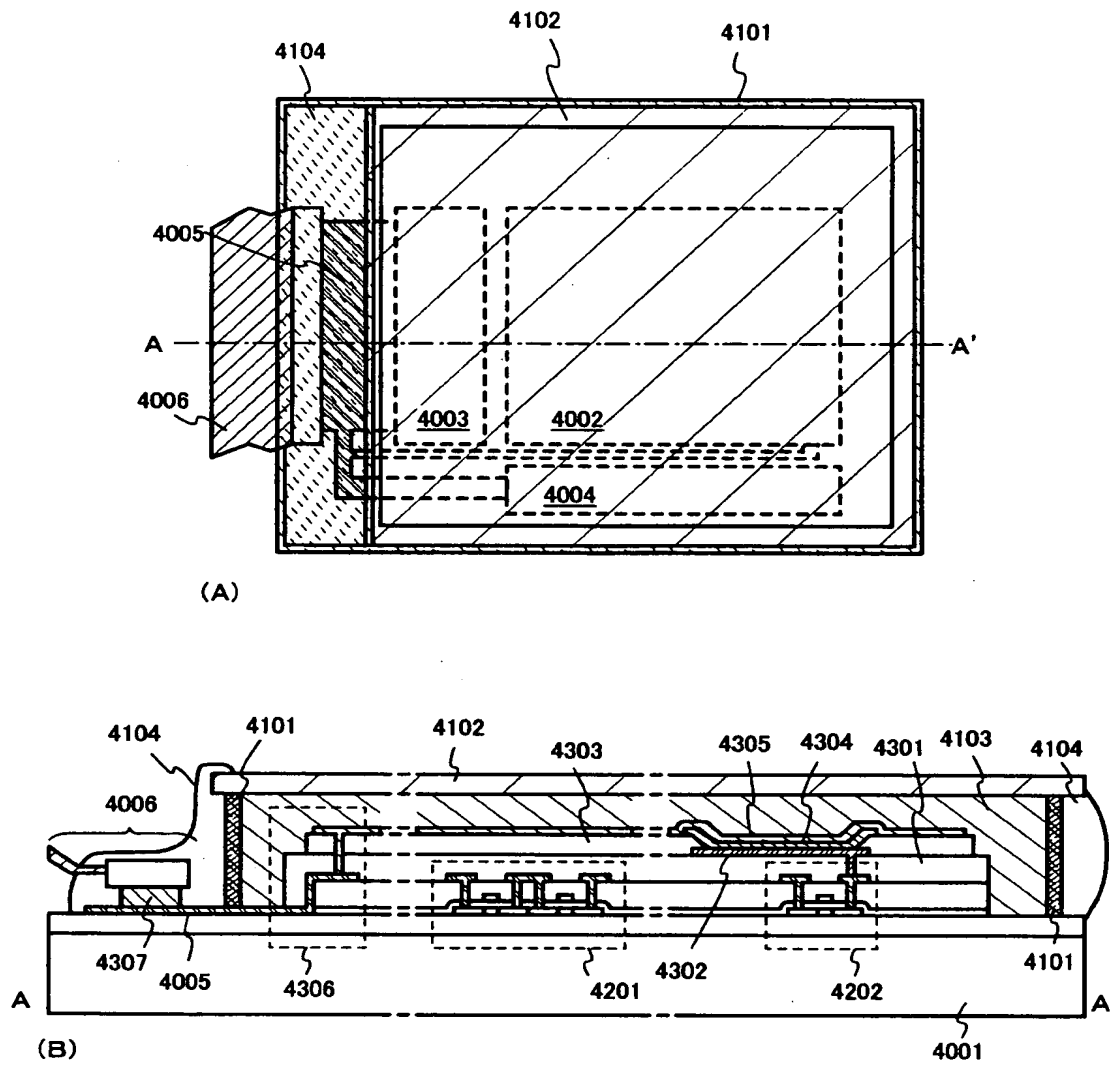
【図 1 1】

$(1, 1)$	$(2, 1)$	$(3, 1)$	$(4, 1)$		$(x-1, 1)$	$(x, 1)$
$(1, 2)$	$(2, 2)$	$(3, 2)$	$(4, 2)$		$(x-1, 2)$	$(x, 2)$
$(1, 3)$	$(2, 3)$	$(3, 3)$	$(4, 3)$		$(x-1, 3)$	$(x, 3)$
$(1, 4)$	$(2, 4)$	$(3, 4)$	$(4, 4)$		$(x-1, 4)$	$(x, 4)$
$(1, y-1)$	$(2, y-1)$	$(3, y-1)$	$(4, y-1)$		$(x-1, y-1)$	$(x, y-1)$
$(1, y)$	$(2, y)$	$(3, y)$	$(4, y)$		$(x-1, y)$	(x, y)

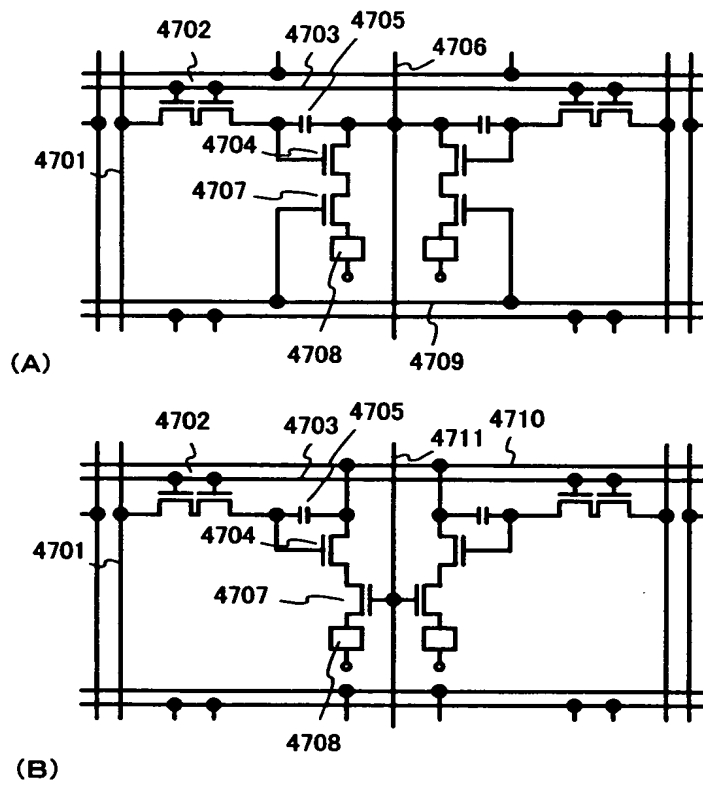
【図 1 2】



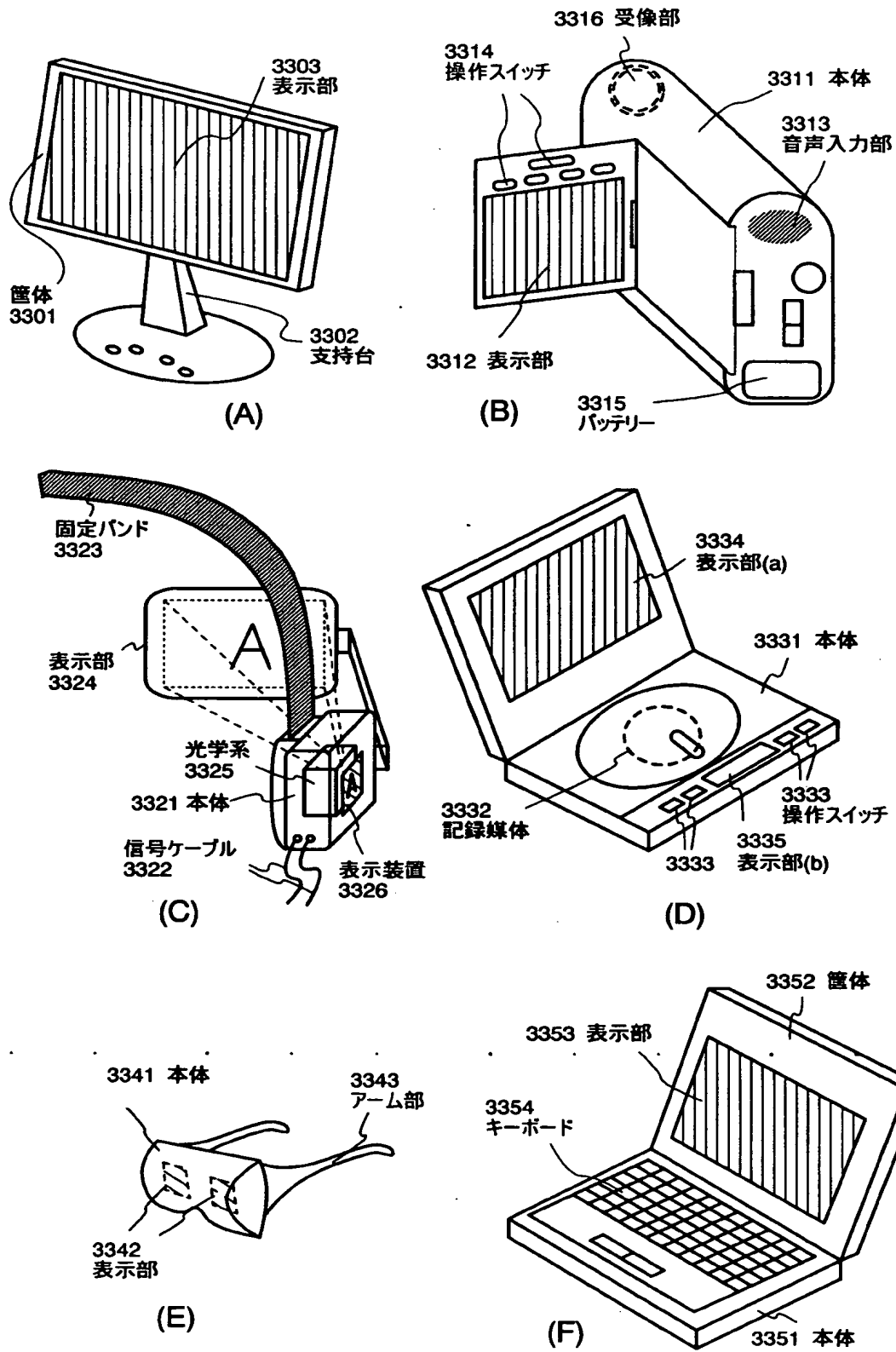
【図 13】



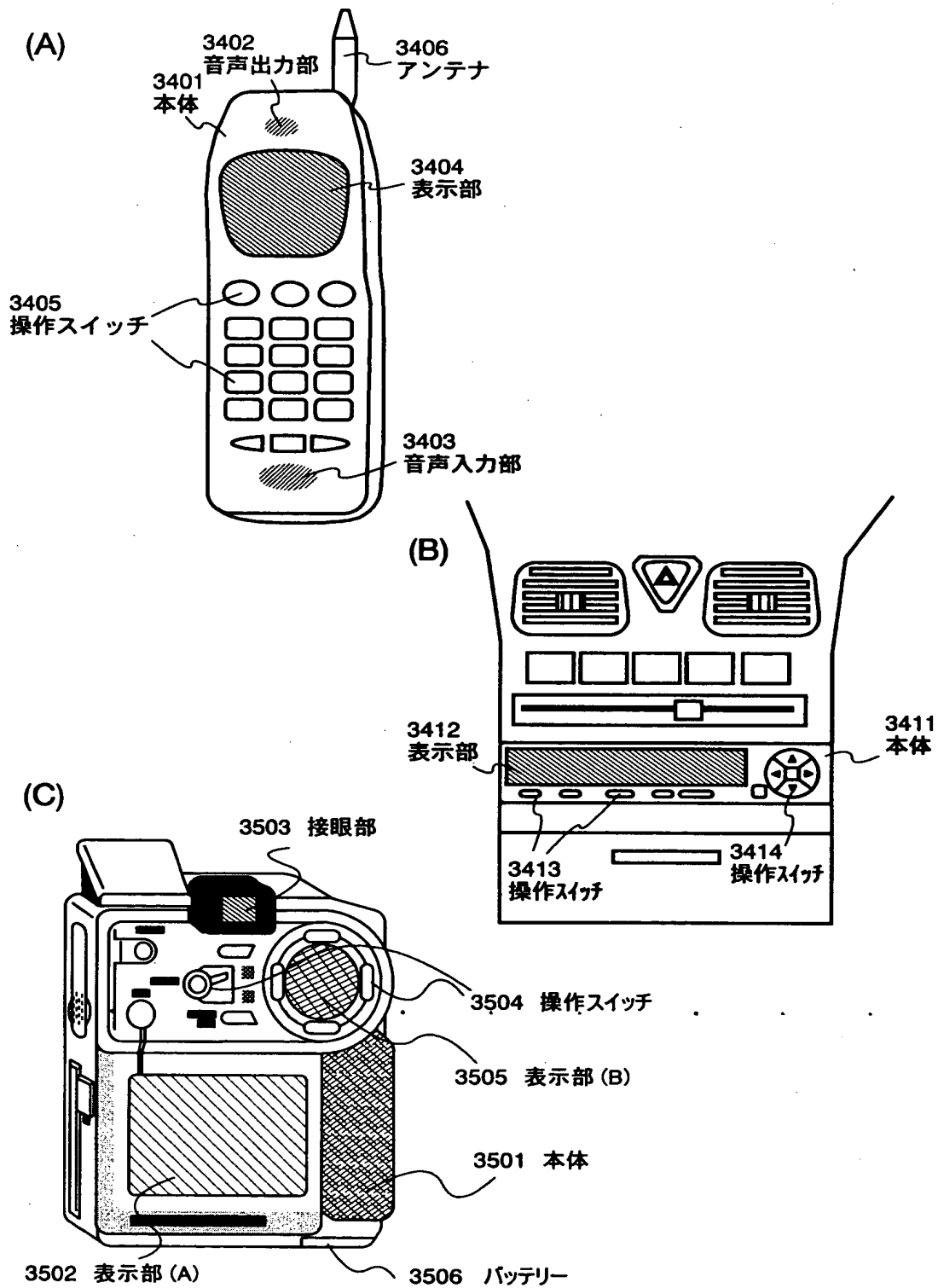
【図 1 4】



【図 15】

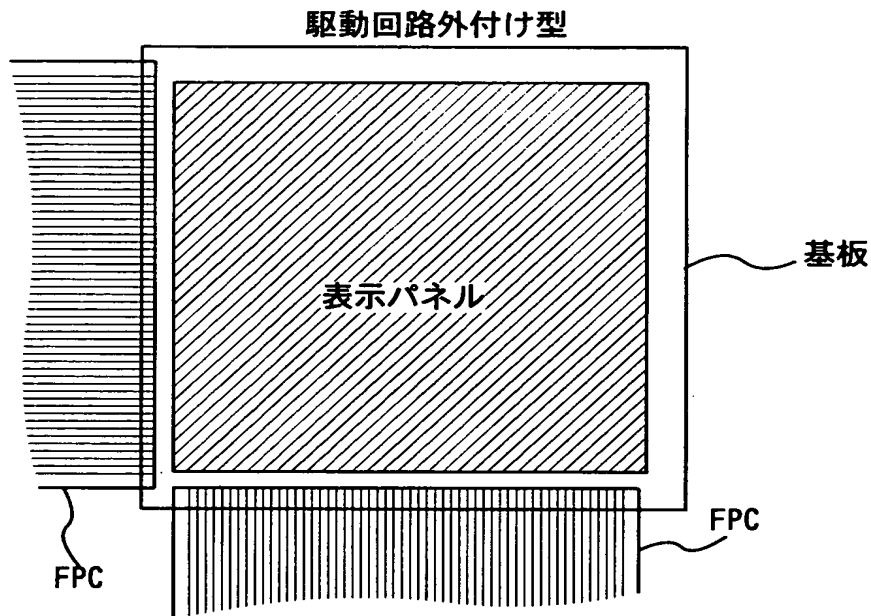


【図 1 6】

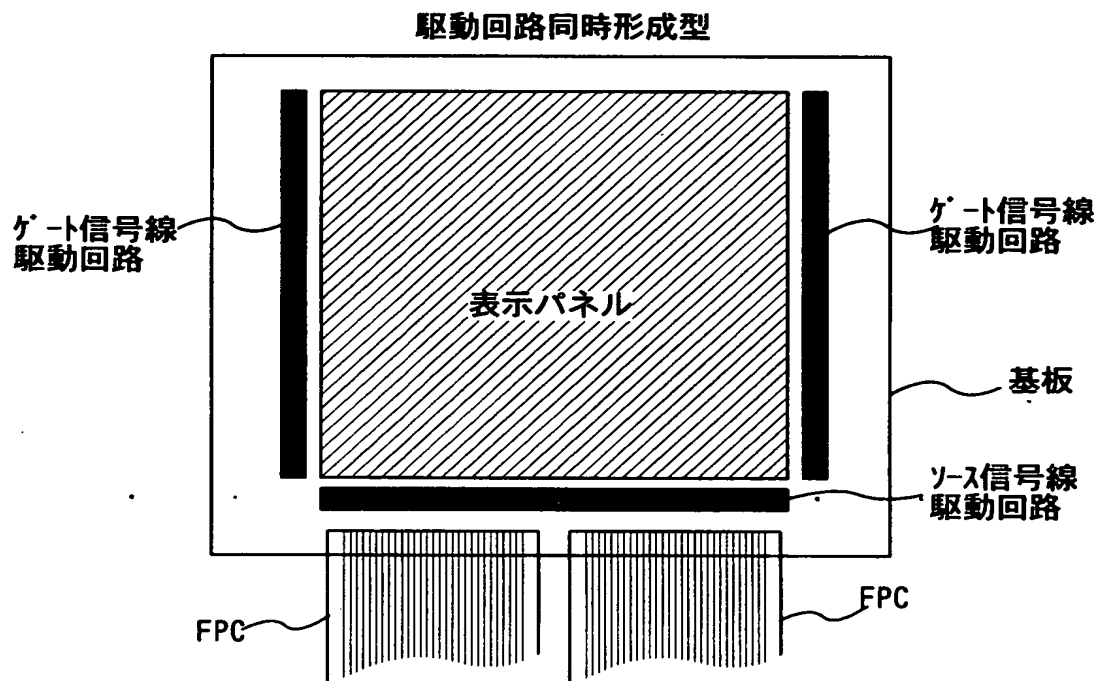


【図 1 7】

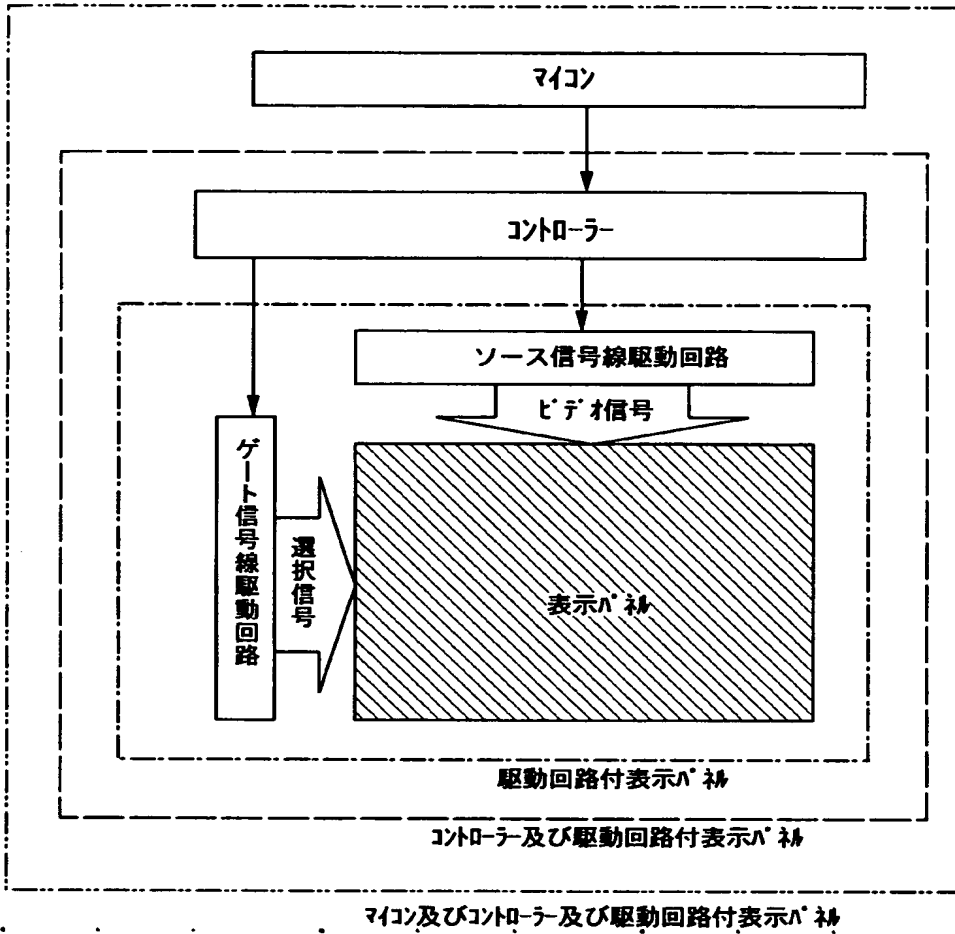
(A)



(B)

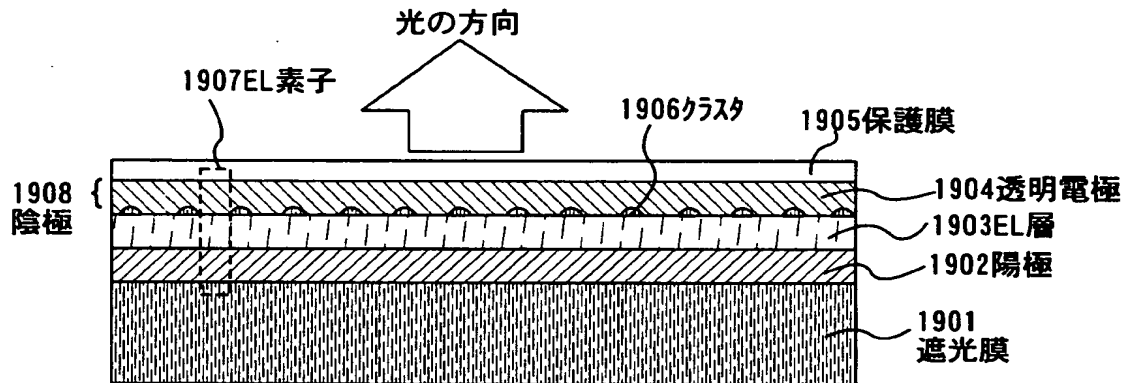


【図18】

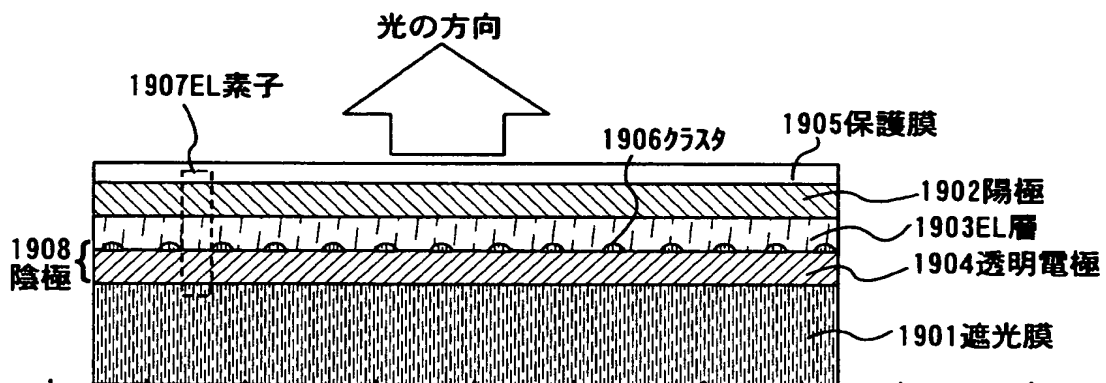


【図 1 9】

(A)



(B)



【書類名】 要約書

【要約】

【課題】 表示パネルを封止する前に、E L パネルが良品か不良品かの区別をつけることが可能な表示パネルの検査方法を提供する。

【解決手段】 全ての画素電極を検査用導電膜で接続し、複数の画素の各画素に含まれる前記複数の配線に所定の電位を与え、前記検査用導電膜を流れる電流の値を測定し、前記検査用導電膜を流れる電流の値が所定の範囲外である画素を不良画素と判断する工程と、前記検査用導電膜を除去する工程とを有することを特徴とする表示パネルの検査方法。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000153878]

1. 変更年月日	1990年 8月17日
[変更理由]	新規登録
住 所	神奈川県厚木市長谷398番地
氏 名	株式会社半導体エネルギー研究所